

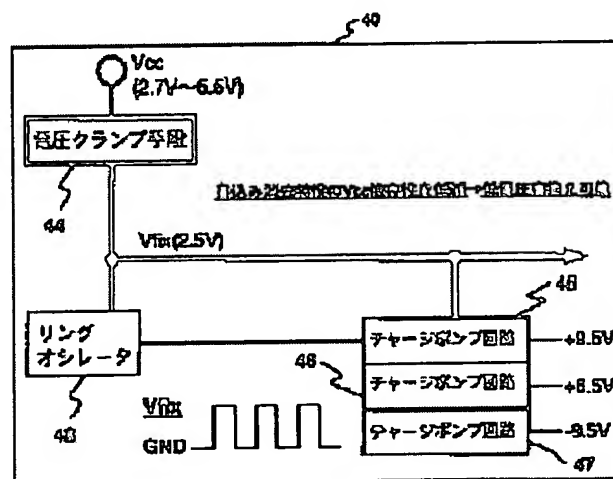
## SEMICONDUCTOR INTEGRATED CIRCUIT AND MICROCOMPUTER

**Patent number:** JP10214496  
**Publication date:** 1998-08-11  
**Inventor:** ISHIKAWA EIICHI; SAITO YASUYUKI; SATOU NARIHISA; YADA NAOKI; MATSUBARA KIYOSHI  
**Applicant:** HITACHI LTD  
**Classification:**  
 - International: G11C16/06  
 - european:  
**Application number:** JP19970018413 19970131  
**Priority number(s):**

## Abstract of JP10214496

**PROBLEM TO BE SOLVED:** To allow stable write and erase of built-in flash memory in a comparatively wide voltage region of the external power source covering a low-voltage operation in a microcomputer with built-in flash memory.

**SOLUTION:** A voltage clamp means 44 which uses a reference voltage generating circuit and a constant-voltage circuit forms a voltage  $V_{fix}$  small in power source voltage dependence and further its voltage level is clamped on a voltage lower than the single power source voltage  $V_{cc}$  which is fed externally within a permissible range. Thereby, the step-up voltage, namely write and erase voltage, generated by step-up means (45-48) which are operated by the clamp voltage  $V_{fix}$  does not depend on the external power source voltage  $V_{cc}$ .



Data supplied from the esp@cenet database - Worldwide

(11)特許出願公開番号

特開平10-214496

(43)公開日 平成10年(1998)8月11日

FI

632

 $\mathbb{Z}$ 

審査請求 未請求 請求項の数17 O L (全 38 頁)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 石川 栄一

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)發明者 齊藤 康幸

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 佐藤 齊尚

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

(74)代理人 弁理士 玉村 静世

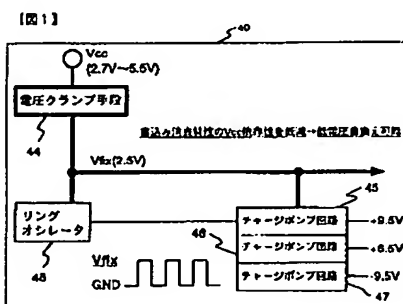
最終頁に続く

(54)【発明の名称】 半導体集積回路及びマイクロコンピュータ

(57) 【要約】

【課題】 フラッシュメモリを内蔵したマイクロコンピュータにおいて、低電圧動作を含む比較的広い外部電源電圧範囲で安定的に内蔵フラッシュメモリの書き込み及び消去を可能にする。

【解決手段】 基準電圧発生回路と定電圧回路を用いた電圧クランプ手段（４４）は電源電圧依存性の小さな電圧（ $V_{fixB}$ ）を形成し、しかも、その電圧レベルは、許容範囲内で外部から供給される単一電源電圧（ $V_{cc}$ ）よりも低い電圧にクランプされる。これにより、クランプ電圧（ $V_{fixB}$ ）で動作される昇圧手段（４５～４８）が生成する昇圧電圧、即ち、書き込み及び消去電圧は、外部電源電圧（ $V_{cc}$ ）に依存しない。



## 【特許請求の範囲】

【請求項1】 電気的に消去及び書き込み可能な不揮発性メモリと、前記不揮発性メモリをアクセス可能な中央処理装置とを1個の半導体基板に含み、外部電源端子に供給される単一の電源電圧を動作電源とする半導体集積回路であって、

前記不揮発性メモリは、電源電圧依存性の小さな基準電圧を用いて前記単一の電源電圧よりレベルの低い第1の電圧に出力電圧をクランプする電圧クランプ手段と、前記電圧クランプ手段の出力電圧を正の高電圧と負の高電圧に昇圧可能な昇圧手段と、前記昇圧手段から出力される正及び負の高電圧を用いて消去及び書き込みが行われる複数の不揮発性メモリセルとを含んで成るものであることを特徴とする半導体集積回路。

【請求項2】 前記昇圧手段は、負の高電圧を形成する昇圧ノードにpチャンネル型のMOSトランジスタと容量が結合され、それらによるチャージポンプ作用で負の高電圧を生成するチャージポンプ回路を有し、前記MOSトランジスタに共通の基板バイアス電圧を、前記電圧クランプ手段の出力電圧から途中でそれよりもレベルの低い第2の電圧に切り換える切り換え手段を更に備え、前記第2の電圧は前記切り換え時点における昇圧電圧よりもレベルの高い電圧であることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記切り換え手段は、前記切り換え後に昇圧電圧が上下に振れても前記基板バイアス電圧を前記第2の電圧に維持するヒステリシス特性を有するものであることを特徴とする請求項2記載の半導体集積回路。

【請求項4】 前記昇圧手段は、負の高電圧を形成する昇圧ノードに結合されたMOSトランジスタと容量とによるチャージポンプ作用で負の高電圧を生成する負昇圧用チャージポンプ回路と、正の高電圧を形成する昇圧ノードに結合されたMOSトランジスタと容量とによるチャージポンプ作用で正の高電圧を生成する正昇圧用チャージポンプ回路とを有し、前記正昇圧用チャージポンプ回路に含まれる前記MOSトランジスタと負昇圧用チャージポンプ回路に含まれる前記MOSトランジスタとは、オン動作期間の位相が相違されているものであることを特徴とする請求項1記載の半導体集積回路。

【請求項5】 前記電圧クランプ手段は、電源電圧依存性の小さな基準電圧発生回路と、前記基準電圧発生回路から出力される基準電圧を参照電圧として出力回路を前記第1の電圧に負帰還制御する第1の定電圧発生回路と、第1の定電圧発生回路から出力される電圧を参照電圧として出力回路を前記第1の電圧に負帰還制御する第2の定電圧発生回路とを有し、第2の定電圧発生回路の出力電圧が前記昇圧手段に供給されるものであることを特徴とする請求項1記載の半導体集積回路。

【請求項6】 前記第1の定電圧発生回路から出力される電圧を参照電圧として出力回路を負帰還制御する第3

の定電圧発生回路を更に有し、第3の定電圧発生回路の出力電圧が読み出し系の動作電源電圧とされるものであることを特徴とする請求項5記載の半導体集積回路。

【請求項7】 前記電圧クランプ手段は出力電圧を微調整するためのトリミング回路を有し、前記トリミング回路をトリミング調整情報に従って制御するトリミング制御手段と、前記トリミング制御手段に供給されるべきトリミング調整情報が設定されるレジスタ手段とを設け、このレジスタ手段は、前記不揮発性メモリの特定領域から前記トリミング調整情報の転送を受けるものであることを特徴とする請求項1記載の半導体集積回路。

【請求項8】 前記レジスタ手段は半導体集積回路のリセット動作に同期して前記トリミング調整情報の転送を受けるものであることを特徴とする請求項7記載の半導体集積回路。

【請求項9】 前記中央処理装置はテストモードにおいて前記レジスタ手段をアクセス可能であることを特徴とする請求項8記載の半導体集積回路。

【請求項10】 前記トリミング制御手段は、トリミング調整情報の値に従って前記トリミング回路のトリミング位置を決定するものであって、トリミング調整情報が全ビット論理値“1”のときのトリミング位置とトリミング調整情報が全ビット論理値“0”のときのトリミング位置とを隣り合うように選択する選択論理を有し、ウェーハ完成状態において不揮発性メモリが書き込み状態にされたときと、出荷時に不揮発性メモリが消去状態にされたときとの双方において、前記電圧クランプ手段の出力電圧の相違を最小にするものであることを特徴とする請求項8又は9記載の半導体集積回路。

【請求項11】 前記不揮発性メモリを制御するためのコントロールレジスタを有し、前記コントロールレジスタは、前記昇圧手段に書き込み用の昇圧動作の開始を指示する書き込みセットアップビットと、昇圧電圧を用いた書き込み動作の開始を指示する書き込みイネーブルビットと、前記昇圧手段に消去用の昇圧動作の開始を指示する消去セットアップビットと、昇圧電圧を用いた消去動作の開始を指示する消去イネーブルビットとを有するものであることを特徴とする請求項1記載の半導体集積回路。

【請求項12】 前記コントロールレジスタは更に、前記昇圧手段による昇圧動作の準備状態を指示する書き換えイネーブルビットを有し、この書き換えイネーブルビットが真値であることを条件に、前記消去セットアップビットと書き込みセットアップビットによる指示を受け付けるものであることを特徴とする請求項11記載の半導体集積回路。

【請求項13】 前記コントロールレジスタは更に、外部端子の状態に応じた値が設定されるプロテクトビットを有し、前記プロテクトビットはそれが真値であることを条件に前記書き換えイネーブルビットの真値への設定

3

を可能にするインターロックを行うものであることを特徴とする請求項12記載の半導体集積回路。

【請求項14】 電気的に消去及び書き込み可能なフラッシュメモリと、前記フラッシュメモリをアクセス可能な中央処理装置とを1個の半導体基板に含み、外部電源端子に供給される単一の電源電圧を動作電源とするマイクロコンピュータであって、前記フラッシュメモリは、電源電圧依存性の小さな基準電圧を参照電位として前記単一の電源電圧よりもレベルの低い電圧を出力する定電圧発生回路と、前記定電圧発生回路の出力電圧を昇圧する昇圧手段と、前記昇圧手段の昇圧ノードに接続されるMOSトランジスタに共通の基板バイアス電圧を昇圧動作の途中で切り換える切換え手段とを備えて成るものであることを特徴とするマイクロコンピュータ。

【請求項15】 電気的に消去及び書き込み可能なフラッシュメモリと、前記フラッシュメモリをアクセス可能な中央処理装置とを1個の半導体基板に含み、外部電源端子に供給される単一の電源電圧を動作電源とするマイクロコンピュータであって、前記フラッシュメモリは、電源電圧依存性の小さな基準電圧を参照電位として用いる定電圧発生回路と、前記定電圧発生回路の出力電圧を絶対値的に昇圧して書き込み及び消去動作の高電圧を生成する昇圧回路とを有し、前記定電圧発生回路は出力電圧を微調整するためのトリミング回路を有し、前記トリミング回路をトリミング調整情報に従って制御するトリミング制御手段と、前記トリミング制御手段に供給されるべきトリミング調整情報が前記フラッシュメモリの特定領域から転送されるコントロールレジスタとを更に備えて成るものであることを特徴とするマイクロコンピュータ。

【請求項16】 電気的に消去及び書き込み可能なフラッシュメモリと、前記フラッシュメモリをアクセス可能な中央処理装置とを1個の半導体基板に含み、外部電源端子に供給される単一の電源電圧を動作電源とするマイクロコンピュータであって、前記フラッシュメモリは、昇圧動作によって書き込み及び消去動作の高電圧を生成する電源回路を有し、前記フラッシュメモリを制御するためのコントロールレジスタを有し、前記コントロールレジスタは、書き換えイネーブルビットとプロテクトビットとを含み、前記書き換えイネーブルビットは、それが所定値であることを条件に消去又は書き込みを可能とし、前記プロテクトビットは、外部端子の状態に応じた値が設定され、それが所定値であることを条件に前記書き換えイネーブルビットの所定値への設定を可能にするものであることを特徴とするマイクロコンピュータ。

【請求項17】 電気的に消去及び書き込み可能なフラ

4

ッシュメモリと、前記フラッシュメモリをアクセス可能な中央処理装置とを1個の半導体基板に含み、外部電源端子に供給される単一の電源電圧を動作電源とするマイクロコンピュータであって、

前記フラッシュメモリは、コントロールゲートがワード線に、ドレインがビット線に、そしてソースがソース線に結合された複数のメモリセルトランジスタを有するメモリセルアレイと、メモリセルトランジスタに対する書き込み及び消去動作の高電圧を生成する昇圧回路

と、アドレス信号に基づいてワード線選択信号を形成するアドレスデコーダと、読み出し動作時のワード線選択レベルを接地電位に対して第1の極性とし、書き込み時のワード線選択レベルを接地電位に対して第2の極性とするワードドライバ回路と、書き込み動作の開始と終了に当たって全ワード線を接地電位に強制し、前記ワードドライバの動作電源を接地電位に切換え、前記アドレスデコーダの選択信号の選択レベルの極性を論理的に反転させ、ワードドライバの動作電源を切り換えるタイミング制御手段とを有して成るものであることを特徴とするマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性メモリと中央処理装置とを含む半導体集積回路に関し、例えばフラッシュメモリと中央処理装置を内蔵した1チップ型のマイクロコンピュータ、データ処理装置又はマイクロプロセッサの外部動作電源を単一化するのに適用して有効な技術に関する。

【0002】

【従来の技術】フラッシュメモリを内蔵したマイクロコンピュータとして例えば株式会社日立製作所のH8/538F、H8/3048、H8/3434Fなどがある。

【0003】フラッシュメモリのメモリセルトランジスタは、フローティングゲート、コントロールゲート、ソース及びドレインを持ち、フローティングゲート内への電荷注入状態に応じた2値の情報を保持する。例えばフローティングゲート内に電荷が注入されるとメモリセルのしきい値電圧が上昇し、コントロールゲートから見たしきい値電圧が高くなることにより、メモリセルには電流が流れなくなる。またフローティングゲートから電荷を放出してコントロールゲートから見たしきい値電圧を低くすることにより、メモリセルに電流が流れる。特に制限されないが、上記メモリセルのしきい値電圧を読み出し時のワード線選択レベルよりも高くする動作を消去動作（それによって選ばれるデータは論理値“1”：消去状態）、上記メモリセルのしきい値電圧を読み出し時のワード線選択レベルよりも低くする動作を書き込み動作（それによって選ばれるデータは論理値“0”：書き込み状態）と称する。尚、メモリセルに記憶されたデ

一タの消去状態と書き込み状態は、上記とは逆に定義することもある。

【0004】前記メモリセルトランジスタに対する消去や書き込みでは、フローティングゲートを高電界中に置かなければならないため、3Vや5Vのような一般的な電源電圧よりもレベルの高い消去及び書き込み用の高電圧を必要とする。そのような高電圧は従来外部電源として供給されていた。

【0005】

【発明が解決しようとする課題】しかしながら、そのような高電圧を外部電源から得る場合には、前記マイクロコンピュータが実装される回路基板に、これらの高電圧を発生させる回路を搭載しなければならず、高電圧故に、回路基板の設計に特別な配慮が必要になり、使い勝手が悪いという問題がある。

【0006】本発明者は、フラッシュメモリを内蔵したマイクロコンピュータを3Vや5Vのような単一電源で動作可能にすることについて検討した。すなわち、外部単一電源を内部で昇圧して書き込み及び消去のための高電圧を生成する。

【0007】このとき、低消費電力の要請からマイクロコンピュータの動作電源は低電圧化が進み、3Vとされるものがあり、また、5V単一電源を利用するシステムもある。電源電圧を3V又は5Vの何れにするかはマイクロコンピュータが応用されるシステムの仕様によって決定される。このため、半導体メーカーとしては、3Vから5Vのような比較的広い範囲の電源で動作できるようにマイクロコンピュータを設計することが得策である。

【0008】これを考慮したとき、本発明者の検討によれば以下の点が明らかにされた。すなわち、フラッシュメモリに対する電荷注入方式には、メモリセルトランジスタのチャネルに比較的大きな電流を流してドレイン近傍にホットエレクトロンを発生させることによってフローティングゲートに電荷を注入するチャネル注入方式と、フローティングゲートとドレイン間に所定の電界強度を作用してドレイン近傍の比較的薄いトンネル酸化膜にトンネル電流を流して電荷を注入するトンネル電流方式がある。前者は相対的に大きな電流を要するので内部昇圧には適さないが、後者であっても、単に内部昇圧を行うだけでは、低電圧動作を含む比較的広い外部電源電圧範囲で安定的に内蔵フラッシュメモリの書き込み及び消去を実現できないことが明らかにされた。

【0009】本発明の目的は、フラッシュメモリのような電氣的に書き込み及び消去可能な不揮発性メモリを内蔵したマイクロコンピュータなどの半導体集積回路において、低電圧動作を含む比較的広い外部電源電圧範囲で安定的に内蔵不揮発性メモリの書き込み及び消去を可能にすることにある。

【0010】本発明の別の目的は、フラッシュメモリのような電氣的に書き込み及び消去可能な不揮発性メモリ

を内蔵したマイクロコンピュータなどの半導体集積回路の使い勝手を良好にすることにある。

【0011】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

10 【0013】すなわち、マイクロコンピュータなどの半導体集積回路は、電氣的に消去及び書き込み可能なフラッシュメモリなどの不揮発性メモリと、前記不揮発性メモリをアクセス可能な中央処理装置とを1個の半導体基板に含み、外部電源端子に供給される単一の電源電圧を動作電源とする。そして、前記不揮発性メモリは、電源電圧依存性の小さな基準電圧を用いて前記単一の電源電圧よりレベルの低い第1の電圧に出力電圧をクランプする電圧クランプ手段と、前記電圧クランプ手段の出力電圧を正の高電圧と負の高電圧に昇圧可能な昇圧手段と、  
20 前記昇圧手段から出力される正及び負の高電圧を用いて消去及び書き込みが行われる複数個の不揮発性メモリセルとを含んで成る。

【0014】この半導体集積回路によれば、前記電圧クランプ手段は電源電圧依存性の小さな電圧を形成し、しかも、その電圧レベルは、この半導体集積回路の許容動作電源電圧の許容範囲内で外部から供給される単一電源電圧よりも低い電圧にクランプされるから、このクランプ電圧で動作される昇圧手段が生成する昇圧電圧、即ち、書き込み及び消去電圧は、外部電源電圧に依存しない。したがって、低電圧動作を含む比較的広い外部電源電圧範囲で内蔵不揮発性メモリの消去及び書き込みを可能にする。しかもそれは単一の外部電源電圧で達成できるから、不揮発性メモリを内蔵した半導体集積回路の使い勝手を向上させる。

【0015】昇圧動作効率を向上させるには、昇圧電圧が所定レベルに達したとき、チャージポンプを行うMOSトランジスタに共通の基板バイアス電圧を変更する。例えば、負の高電圧を形成する昇圧ノードにpチャンネル型のMOSトランジスタと容量が結合され、それらによるチャージポンプ作用で負の高電圧を生成するチャージポンプ回路を有し、前記MOSトランジスタに共通の基板バイアス電圧を、前記電圧クランプ手段の出力電圧から途中でそれよりもレベルの低い第2の電圧に切り換える切り換え手段を更に備える。前記第2の電圧は前記切り換え時点における昇圧電圧よりもレベルの高い電圧である。この例では、基板バイアス電圧が低下されると、所謂基板バイアス効果によってMOSトランジスタのしきい値電圧が小さくなり、これによってチャージポンプを行うMOSトランジスタを介して電荷が移動され  
50 易くなる。このことが、昇圧動作効率を向上させ、規定

の昇圧電圧を得るまでの時間を短縮する。

【0016】チャージポンプによる昇圧途上の昇圧電圧は、チャージポンプ用のMOSトランジスタのスイッチ動作に同期して上下に振れる。このようなリプル成分の影響で基板バイアス電圧が振動するのを防止するには、前記切換え手段には、基板バイアス電圧の切換え後に昇圧電圧が上下に振れても基板バイアス電圧を第2の電圧に維持するヒステリシス特性を持たせる。このようなヒステリシス特性は、ヒステリシスコンパレータを用い、或いはSRフリップフロップのような回路によって状態を保持することによって達成できる。

【0017】同一電源で複数個のチャージポンプ回路を動作させるとき、電源の瞬間的電圧落ち込みを小さくするのは、各チャージポンプ回路の動作の位相をずらすことが望ましい。例えば、前記昇圧手段は、負の高電圧を形成する昇圧ノードに結合されたMOSトランジスタと容量とによるチャージポンプ作用で負の高電圧を生成する負昇圧用チャージポンプ回路と、正の昇圧電圧を形成する昇圧ノードに結合されたMOSトランジスタと容量とによるチャージポンプ作用で正の高電圧を生成する正昇圧用チャージポンプ回路を有するとき、前記正昇圧用チャージポンプ回路に含まれる前記MOSトランジスタと負昇圧用チャージポンプ回路に含まれる前記MOSトランジスタとのオン動作期間の位相を相違させればよい。

【0018】不揮発性メモリに対する消去及び書き込みには比較的大きな電流を要するから、昇圧回路の電源は他の回路の電源に直結されていないことが望ましい。この観点によると、前記電圧クランプ手段は、電源電圧依存性の小さな基準電圧発生回路と、前記基準電圧発生回路から出力される基準電圧を参照電圧として出力回路を前記第1の電圧に負帰還制御する第1の定電圧発生回路と、第1の定電圧発生回路から出力される電圧を参照電圧として出力回路を前記第1の電圧に負帰還制御する第2の定電圧発生回路とを有し、第2の定電圧発生回路の出力電圧が前記正昇圧手段及び負昇圧手段に供給されるものであることが望ましい。

【0019】前記第1の定電圧発生回路から出力される電圧を参照電圧として出力回路を負帰還制御する第3の定電圧発生回路を更に有し、第3の定電圧発生回路の出力電圧を読み出し系の動作電源電圧とすることができ

る。

【0020】プロセスばらつきなどに対して前記電圧クランプ手段の出力電圧を微調整可能にするためにトリミング回路を設けることが望ましい。このとき、前記トリミング回路をトリミング調整情報に従って制御するトリミング制御手段と、前記トリミング制御手段に供給されるべきトリミング調整情報が設定されるレジスタ手段とを設ける。このレジスタ手段は、前記不揮発性メモリ

により、ソフトウェアでトリミングを自在に行うことができる。フューズを用いた場合のように一旦プログラムした後に変更できないという制約がない。

【0021】前記トリミング調整情報が不揮発性メモリの読み出し電圧にも影響する場合、不揮発性メモリからレジスタ手段へのトリミング調整情報の転送は、不揮発性メモリに対する読み出しに規定よりも長い時間を費やせるとき行うことが、誤動作防止の上で望ましい。すなわち、そのような転送を半導体集積回路のリセット動作に同期して行えばよい。これにより、トリミング動作の確定までの内部電圧の変動をリセット中に確定でき、リセット動作後には読み出し動作を安定させることができる。前記トリミング調整情報が不揮発性メモリの書き込み及び消去電圧にのみ影響する場合には、トリミング調整情報の転送は、リセット期間中、又はリセット解除後の最初のベクタフェッチ（命令フェッチ）前に行えばよい。

【0022】テストモードにおけるトリミング情報の選択という点を考慮すれば、テストモードにおいて前記中央処理装置は前記レジスタ手段をアクセス可能であることが望ましい。

【0023】半導体集積回路のウェーハ完成状態が書き込み状態（例えばしきい値電圧の低い論理値“0”の状態）で、半導体集積回路の出荷が消去状態（例えばしきい値電圧の高い論理値“1”の状態）とされる場合、書き込み状態と消去状態でトリミング状態が両極端になって電圧クランプ手段の出力電圧に大きな差が出ないようにすることが望ましい。そのために、前記トリミング制御手段は、トリミング調整情報の値に従って前記トリミング回路のトリミング位置を決定するものであって、トリミング調整情報が全ビット論理値“1”のときのトリミング位置とトリミング調整情報が全ビット論理値“0”のときのトリミング位置とを隣り合うように選択する選択論理を有し、ウェーハ完成状態において不揮発性メモリが書き込み状態にされたときと、出荷時に不揮発性メモリが消去状態にされたときとの双方において、前記電圧クランプ手段の出力電圧の相違を最小にする。

【0024】昇圧手段で規定の昇圧電圧を得るには少なからず時間を要し、その時間はプロセスばらつきの影響も受ける。書き込み及び消去動作は昇圧電圧が規定電圧に達してから開始されなければならない。そのような管理を中央処理装置によるソフトウェアで実現する。即ち、前記不揮発性メモリを制御するためのコントロールレジスタを有し、前記コントロールレジスタは、前記昇圧手段に書き込み用の昇圧動作の開始を指示する書き込みセットアップビットと、昇圧電圧を用いた書き込み動作の開始を指示する書き込みイネーブルビットと、前記昇圧手段に消去用の昇圧動作の開始を指示する消去セットアップビットと、昇圧電圧を用いた消去動作の開始を指示する消去イネーブルビットとを有する。これによ



り、消去や書き込み動作が指示されてから実際に消去や書き込みを開始するタイミングを管理するタイマなどのハードウェアを削減することができる。

【0025】更に、前記コントロールレジスタに、前記昇圧手段による昇圧動作の準備状態を指示する書き換えイネーブルビットを設け、この書き換えイネーブルビットが真値であることを条件に、前記消去セットアップビットと書き込みセットアップビットによる指示を受け付け可能にすることにより、書き込み又は消去動作は前記書き換えイネーブルビットが真値であることを条件に行うことができるので、中央処理装置の暴走などによって不揮発性メモリが不所望に書き換えられる事態の発生を阻止するのに役立つ。

【0026】不揮発性メモリに対する不所望な書き換え阻止の信頼性を更の向上させるには、前記コントロールレジスタは外部端子の状態に応じた値が設定されるプロテクトビットを追加し、前記プロテクトビットはそれが真値（所定値）であることを条件に前記昇圧イネーブルビットの真値（所定値）への設定を可能にするインターロックを行うようにするとよい。

【0027】消去や書き込みに際して必要な負電圧の印加が内部回路に与える負担を少なくするには、ワード線などを一旦接地電位にしてから印加電圧を切り換えるようにすることが望ましい。例えば、電気的に消去及び書き込み可能なフラッシュメモリと、前記フラッシュメモリをアクセス可能な中央処理装置とを1個の半導体基板に含み、外部電源端子に供給される単一の電源電圧を動作電源とするマイクロコンピュータにおいて、前記フラッシュメモリは、コントロールゲートがワード線に、ドレインがビット線に、そしてソースがソース線に結合された複数のメモリセルトランジスタを有するメモリセルアレイと、メモリセルトランジスタに対する書き込み及び消去動作の高電圧を生成する昇圧回路と、アドレス信号に基づいてワード線選択信号を形成するアドレスデコーダと、読み出し動作時のワード線選択レベルを接地電位に対して第1の極性とし、書き込み時のワード線選択レベルを接地電位に対して第2の極性とするワードドライバ回路と、書き込み動作の開始と終了に当たって全ワード線を接地電位に強制し、前記ワードドライバの動作電源を接地電位に切換え、前記アドレスデコーダの選択信号の選択レベルの極性を論理的に反転させ、ワードドライバの動作電源を切り換えるタイミング制御手段とを有する。

【0028】

【発明の実施の形態】

《マイクロコンピュータチップ》図3には本発明の一例に係るマイクロコンピュータ（マイクロプロセッサ又はデータ処理装置）のブロック図が示される。同図に示されるマイクロコンピュータ1は、特に制限されないが、公知の半導体集積回路製造技術によって単結晶シリコン

のような1個の半導体基板に形成されている。

【0029】同図に示されるマイクロコンピュータ1は、特に制限されないが、中央処理装置（CPU）2、フラッシュメモリ（FLE0、FLE1）3、フラッシュメモリ用のコントロールレジスタ（FLC）4、ランダムアクセスメモリ（RAM）5、割り込みコントローラ（INTC）6、乗算器（MULT）7、タイマ（ATU）8、バス及びシステムコントローラ（BSC、SYS）9、ウォッチドックタイマ（WDT）10、ダイレクトメモリアccessコントローラ（DMA）11、クロックパルスジェネレータ（CPG）12、シリアルコミュニケーションインタフェース（SCI）13、フェーズロックループ回路（PLL）14、アナログ・デジタルコンバータ（A/D\_0、A/D\_1）、そして複数のポート入出力PA、PB、PC、PD、PE、PG、PH、PMを有する。前記各回路ブロックは図示を省略するアドレスバス、データバス及びコントロールバスなどに結合されている。

【0030】特に制限されないが、マイクロコンピュータ1は、組み込み機器制御に利用され、CPU2の動作プログラムはフラッシュメモリ3に格納される。RAM5はCPU2のワーク領域もしくはデータの一時記憶領域とされる。

【0031】図3のマイクロコンピュータ1は外部電源端子Pvccに供給される単一の外部電源電圧Vccを動作電源とする。Pvssは接地端子である。接地端子の供給される電位は接地電圧Vssである。前記外部電源電圧Vccは、特に制限されないが、所謂3V及び5V電源（許容誤差は±10%）に対応され、2.7V～5.5Vの範囲の電圧が外部電源電圧の許容範囲とされる。

【0032】図3においてRESはマイクロコンピュータのリセット端子（リセット信号）、VppMON、VssMONは内部昇圧電圧のモニタ端子、Pfwはフラッシュメモリ3に対する書き込みプロテクト端子である。特にVppMONは内部正昇圧電圧モニタ用であり、VssMONは内部負昇圧電圧モニタ用である。

【0033】《フラッシュメモリ》図4には前記フラッシュメモリ3の全体的なブロック図とコントロールレジスタ4が示されている。図4では図3においてFLE0で示される一つのフラッシュメモリ3を代表的に示してある。FLE1で示される他方のフラッシュメモリ3も全く同じであるから図示を省略してある。

【0034】図4において17はデータバス、18はアドレスバスである。特に制限されないが、代表的に示されたCPU2、RAM5及びフラッシュメモリ3はアドレスバス18及びデータバス17を共有する。図3に示されるコントロールレジスタ4は、図4において消去ブロック指定レジスタEBR1、書き換え制御レジスタFLMCR1、基準電圧トリミングレジスタTRMR1、

TRMR2を含んでいる。各コントロールレジスタEBR1, FL MCR1, TRMR1, TRMR2はCPU2によってアクセス可能にされる。レジスタTRMR1, TRMR2に対するCPUアクセスには後述の制限がある。

〔0035〕メモリセルアレイ30には多数の不揮発性メモリセルが配置されている。不揮発性メモリセルは、特に図示はしないが、ソース、ドレイン、フローティングゲート及びコントロールゲートを持ち、ゲート酸化膜（絶縁膜）は、トンネル現象によるトンネル電流を流し得るように薄くされている。ソースはソース線に、ドレインはビット線に、コントロールゲートはワード線に結合される。Xデコーダ（X-DEC）31はアドレスバス18からアドレスバッファ32に取り込まれたXアドレス信号をデコードしてワード線の選択信号を形成する。ワードドライバ（WDRV）33はワード線選択信号で選択されたワード線を、動作モード（書き込み、消去、読み出し等）に応じた所定の選択レベルに駆動する。前記ビット線はYセクタ34を介して選択されたものが書き込み回路35又はセンスアンプ36に接続される。センスアンプ36はメモリセルから読み出されたデータを検出し、その論理値に応じたデータを出力バッファ37に与え、出力バッファ37はデータ出力動作の指示に従ってデータバス17への出力動作を行う。書き込み回路35はデータバス17から入力バッファ38に与えられた書き込みデータに応じた書き込み電圧を、Yセクタ34で選択されたビット線に与える。Yデコーダ（Y-DEC）31はアドレスバス18からアドレスバッファ32に取り込まれたYアドレス信号をデコードして前記Yセクタ34の選択信号を形成する。ソース及び基板制御部39は、消去ブロック指定レジスタEBR1で指定された消去ブロックのソース線を選択する制御を行うと共に、消去や書き込み動作に応じてメモリセルアレイ30の基板電圧を制御したりする。

〔0036〕図4において40はフラッシュメモリの電源回路であり、前記単一外部電源電圧Vccに基づいて書き込み及び消去のための高電圧や読み出し系の動作電圧を生成する。この電源回路40は、基準電圧回路、リード用クランプ電源回路、昇圧用クランプ電源回路、第1の正昇圧回路、第2の正昇圧回路、負昇圧回路、そして上記回路で形成された各種電圧を選択してフラッシュメモリ3の内部回路に供給する電圧供給スイッチ群を有している。

〔0037〕トリミング制御部42はプロセスばらつき等に対して電源回路の特性を調整するための制御回路である。トリミング制御部42に対する制御データは前記基準電圧トリミングレジスタTRMR1及び昇圧電圧トリミングレジスタTRMR2から与えられる。前記電源回路40で生成される各種動作電源はフラッシュメモリの動作に応じて選択されてソース制御部39、書き込み

回路35及びワードドライバ33などに与えられる。この時の電源供給に関する書き込みシーケンスや消去シーケンス等は電源制御部41が行う。電源制御部41は書き込みシーケンス及び消去シーケンスなどを有する。書き込みシーケンスや消去シーケンスのための制御データは前記書き換え制御レジスタFL MCR1から与えられる。43で示される回路ブロックはフラッシュメモリ3のその他の制御論理である。

〔0038〕図5には前記メモリセルアレイ30の構成例が示される。特に制限されないが、図示の構造は、ビット線は主ビット線300と副ビット線301によって構成され、不揮発性メモリセル302のドレインが副ビット線301に結合される。主ビット線300と副ビット線301は選択MOSトランジスタ303によって選択的に導通される。不揮発性メモリセル302のソースは一群ごとに所定のソース線304に共通接続されている。305はワード線、306は前記選択MOSトランジスタのセレクト線である。

〔0039〕図6には消去動作の電圧印加状態の一例が示される。消去の最小単位はソース線を共通とするブロック単位である。消去選択ソース線は-9.5V、セレクト線306は-9.5V、消去選択ワード線は9.5V、消去非選択ワード線は0V（接地電位Vss）とされる。これによって消去対象ブロック307の不揮発性メモリセル302のフローティングゲートに電子が注入され、当該不揮発性メモリセルのしきい値電圧が高くされる。すなわち、データの消去は、ゲート絶縁膜を介して、ドレイン（ソース）及びチャネル部からフローティングゲートへの電子トンネリング現象を利用して行われる。

〔0040〕図7には書き込み動作の電圧印加状態の一例が示される。書き込みはワード線毎に行われる。書き込み選択ワード線は-9.5V、書き込み選択ビット線は6.5V、書き込み非選択ビット線は0V、書き込み選択セレクト線は9.5V、ソース線はオープン（フローティング）にされる。これによって書き込み選択とされた不揮発性メモリセル302のフローティングゲートから電子が放出され、当該メモリセルのしきい値電圧が低くされる。すなわち、データの書き込みは、ゲート絶縁膜を介し、フローティングゲートからドレイン（ソース）及びチャネル部への電子トンネリング現象を利用して行われる。

〔0041〕図8にはフラッシュメモリの各部における動作電源がブロック図で示されている。図8において33Zで示されるものは前記セレクト線306のドライバ（ZDRV）である。このドライバ33Zにはブロック選択に割り当てられたアドレス信号をデコードするZデコーダ（Z-DEC）31Zからのデコード信号が供給される。Zドライバ33ZはZデコーダ31Zから出力される選択信号に従ってセレクト線を駆動する。33Y



で示されるものはYセレクトドライバであり、Yセレクト34のスイッチ制御信号のレベルを決定する。前記図4ではYセレクトドライバ33Y、Zドライバ33Z及びZデコーダ31Zは図示を省略してある。

【0042】図9には図8に示される各種動作電源の意味が示されている。それら各種動作電源の電圧と動作との関係は図10に例示されている。図11には前記各種動作電源が取り得る電圧を整理して示してある。9.5V及び6.5Vは正昇圧によって生成され、-9.5Vは負昇圧によって生成される。

【0043】《電源回路》図1には前記電源回路40の主要部が概略的に示されている。電源回路40は、電源電圧依存性の小さな基準電圧を用いて前記外部電源電圧Vcc(2.7V~5.5V)よりレベルの低い第1の電圧Vfix(2.5V)に出力電圧をクランプする電圧クランプ手段44を有し、前記電圧Vfix(クランプ電圧Vfixとも称する)を動作電源とする昇圧回路を有する。昇圧回路は、3個のチャージポンプ回路45、46、47とそれらに共通のリングオシレータ48によって構成される。チャージポンプ回路45とリングオシレータ48は第1の正昇圧回路を構成し、クランプ電圧Vfixに基づいて9.5Vの正昇圧電圧を形成する。前記チャージポンプ回路46とリングオシレータ48は第2の正昇圧回路を構成し、クランプ電圧Vfixに基づいて6.5Vの正昇圧電圧を形成する。前記チャージポンプ回路47とリングオシレータ48は負昇圧回路を構成し、クランプ電圧Vfixに基づいて-9.5Vの負昇圧電圧を形成する。

【0044】前記電圧クランプ手段44は電源電圧依存性の小さなクランプ電圧Vfixを形成し、しかも、クランプ電圧Vfixは、2.7V~5.5Vの許容範囲内で外部から供給される単一電源電圧Vccよりも低い電圧(2.5V)にクランプされるから、このクランプ電圧Vfixで動作される正及び負の昇圧回路が生成する昇圧電圧、即ち、書き込み及び消去電圧は、外部電源電圧Vccに依存しない安定な電圧とされる。比較例として図2に示した構成は、リングオシレータ及びチャージポンプ回路の動作電源は外部電源電圧Vccとされるから、昇圧電圧は外部電源電圧Vccに存して変動される。

【0045】《クランプ電源》図12には前記電圧クランプ手段44の一例が示される。この電圧クランプ手段44は、基準電圧発生回路400、第1の定電圧発生回路401、第2の定電圧発生回路(昇圧用クランプ電源回路)402及び第3の低電圧発生回路(リード用クランプ電源回路)403から成る。

【0046】基準電圧発生回路400は、シリコンのバンドギャップなどを利用して、電源電圧依存性及び温度依存性の小さな基準電圧Vrefを発生する回路である。基準電圧発生回路400の動作電源はVccであ

る。このような基準電圧発生回路400は公知であるのでその詳細な回路構成については図示を省略する。この例において、前記基準電圧Vrefは、1.4V±0.3Vとされる。

【0047】第1の定電圧発生回路401は、前記基準電圧Vrefを参照電圧として出力回路をクランプ電圧Vrefaに負帰還制御する回路である。具体的には、nチャンネル型MOSトランジスタQ1と帰還抵抗回路(ラダー抵抗回路)FBR1とによって構成されたソースフォロア回路を出力回路として備えると共に、CMOSオペアンプOP1を持ち、オペアンプOP1の非反転入力端子(+)に前記基準電圧Vrefを受け、オペアンプOP1の反転入力端子(-)に出力回路からの帰還信号を受け、オペアンプOP1の出力によって前記MOSトランジスタQ1のコンダクタンスを制御する。クランプ電圧Vrefaは、帰還抵抗回路FBR1の分圧比と基準電圧Vrefとによって決まる一定の電圧にされる。このクランプ電圧Vrefaは、論理的には電源電圧Vccに依存しない。この例に従えば、クランプ電圧Vrefaは2.5Vとなるように、帰還抵抗回路FBR1を用いて調整されることになる。

【0048】第1の定電圧発生回路401の更に詳細な一例は図16及び図17に示されている。図16に示されるように帰還抵抗回路FBR1の分圧比はスイッチ410によって選択可能にされている。即ち、帰還抵抗回路FBR1は抵抗分圧比を調整可能なトリミング抵抗回路を構成する。図17においてBIASは差動増幅回路及び出力回路の電流源トランジスタをバイアスする信号であり、図示しないバイアス回路から出力される。FS  
TBWYはスタンバイ信号とされ、マイクロコンピュータ1の低消費電力モードにおける内部ノードの状態を決定し、且つ無駄な電流貫通経路をカットオフ制御する。

【0049】第2の定電圧発生回路402は、前記クランプ電圧Vrefaを参照電圧として出力回路をクランプ電圧VfixBに負帰還制御する回路である。具体的には、nチャンネル型MOSトランジスタQ2と帰還抵抗回路FBR2とによって構成されたソースフォロア回路を出力回路として備えると共に、CMOSオペアンプOP2を持ち、オペアンプOP2の非反転入力端子(+)に前記クランプ電圧Vrefaを受け、オペアンプOP2の反転入力端子(-)に出力回路からの帰還信号を受け、オペアンプOP2の出力によって前記MOSトランジスタQ2のコンダクタンスを制御する。クランプ電圧VfixBは、帰還抵抗回路FBR2の分圧比とクランプ電圧Vrefaとによって決まる一定の電圧にされる。このクランプ電圧Vrefaは、論理的には電源電圧Vccに依存しない。この例に従えば、クランプ電圧VfixBは2.5Vとなるように、帰還抵抗回路FBR2の分圧比が決定されている。図12のクランプ電圧VfixBは図1に示されるVfixに対応され

る。

【0050】第3の定電圧発生回路403は、前記クランプ電圧 $V_{refa}$ を参照電圧として出力回路をクランプ電圧 $V_{fixA}$ に負帰還制御する回路である。具体的には、 $n$ チャンネル型MOSトランジスタQ3と帰還抵抗回路FBR3とによって構成されたソースフォロア回路を出力回路として備えると共に、オペアンプOP2を持ち、オペアンプOP2の非反転入力端子(+)に前記クランプ電圧 $V_{refa}$ を受け、オペアンプOP2の反転入力端子(-)に出力回路からの帰還信号を受け、オペアンプOP2の出力によって前記MOSトランジスタQ2のコンダクタンスを制御する。帰還信号は2.5V出力用の $n$ チャンネル型MOSトランジスタQ4又は4.0V出力用の $n$ チャンネル型MOSトランジスタQ5を通して帰還される。クランプ電圧 $V_{fixA}$ は、帰還抵抗回路FBR2の分圧比とクランプ電圧 $V_{refa}$ とによって決まるほぼ一定の電圧にされる。このクランプ電圧 $V_{refa}$ は、論理的には電源電圧 $V_{cc}$ に依存しない。この例に従えば、トランジスタQ4を選択したときクランプ電圧 $V_{fixA}$ が2.5Vとなるように、また、トランジスタQ5を選択したときクランプ電圧 $V_{fixA}$ が4.0Vとなるように帰還抵抗回路FBR2の分圧比が決定されている。クランプ電圧 $V_{fixA}$ はリード系の動作電源とされる。クランプ電圧 $V_{fixA}$ を2.5Vにするか4.0Vにするかは動作モードによって選択され、例えば、読み出し動作ではワード線ディスターブを軽減する観点からリード時のワード線選択レベルとして、 $V_{fixA}=4.0V$ を用いる。このときセンスアンプ電源には $V_{cc}$ を用いる。一方、消去ベリファイや書き込みベリファイにおいては書き込みや消去レベルが電源電圧 $V_{cc}$ に依存しないように、Yセレクタのドライバやセンスアンプの電源には $V_{fixA}=2.5V$ を用いる。

【0051】クランプ電圧 $V_{fixB}$ は書き込み及び消去に利用される高電圧を昇圧するための動作電源とされ、その他のリード系動作の電源とされるクランプ電圧 $V_{fixA}$ とは分離されている。書き込み消去には比較的大きな電流を要し、それを供給するための昇圧回路には比較的大きな電流が流れるから、昇圧系とその他の電源系を別にするることによって、昇圧動作による電源電圧の変動がその他の回路の与える影響を最小限に抑えることが可能になる。

【0052】《昇圧回路》図13には第1及び第2の正昇圧回路の一例としての前記チャージポンプ45、46及びそれらの周辺回路が示される。特に図示はしないが、前記チャージポンプ回路45、46は夫々MOSトランジスタと容量素子が結合された複数個の昇圧ノードを有し、前記MOSトランジスタと容量とによるチャージポンプ作用で高電圧を生成する。クロックドライバ420、421はチャージポンプ回路45、46にチャー

ジポンプ動作を行わせるための複数相の駆動信号を生成する。前記クロックドライバ420、421の動作電源は前記クランプ電圧 $V_{fixB}$ とされる。前記駆動信号は、位相をずらして前記複数個のMOSトランジスタをスイッチ制御すると共に容量の一方の電極に順次規則的な電圧変化を与え、これにより、容量の一方の電極に順次規則的に与えられる変化に応じて変化される他方の電極の電圧がMOSトランジスタを介して順次後段に伝達される。前記駆動信号は前記リングオシレータ48から出力されるクロック信号CLKに同期して生成される。チャージポンプ回路46、45によって生成される昇圧電圧 $V_{PP6}$ 、 $V_{PP9}$ を規定の電圧に維持するために、比較器422、423が設けられている。比較器422、423には、昇圧電圧 $V_{PP6}$ 、 $V_{PP9}$ を抵抗回路428、429で抵抗分圧した電圧 $V_{CMP6}$ 、 $V_{CMP9}$ が供給され、前記クランプ電圧 $V_{refa}$ と比較される。電圧 $V_{CMP6}$ 、 $V_{CMP9}$ は昇圧電圧が規定の電圧( $V_{PP6}=6.5V$ 、 $V_{PP9}=9.5V$ )になったとき電圧 $V_{refa}$ 以上にされる。比較器422、423はその状態を検出することによって検出信号424、425をローレベルからハイレベルに反転する。検出信号424、425は論理和ゲート426、427によりクロック信号CLKと論理和が採られて、前記クロックドライバ420、421に供給される。したがって、昇圧電圧 $V_{PP6}$ 、 $V_{PP9}$ が規定の電圧に達すると、論理和ゲート426、427の出力がハイレベルに固定され、その間、チャージポンプ回路45、46による昇圧動作が一時停止される。尚、430、431は昇圧動作の完了によってカットオフされるスイッチ回路である。

【0053】図14には負正昇圧回路の一例としてのチャージポンプ回路47及びその周辺回路が示される。特に図示はしないが、前記チャージポンプ回路47は夫々MOSトランジスタと容量素子が結合された複数個の昇圧ノードを有し、前記MOSトランジスタと容量とによるチャージポンプ作用で負の高電圧を生成する。クロックドライバ434はチャージポンプ回路47にチャージポンプ動作を行わせるための複数相の駆動信号を生成する。前記クロックドライバ434の動作電源は前記クランプ電圧 $V_{fixB}$ とされる。前記駆動信号は、位相をずらして前記複数個のMOSトランジスタをスイッチ制御すると共に容量の一方の電極に順次規則的な電圧変化を与え、これにより、容量の一方の電極に順次規則的に与えられる変化に応じて変化される他方の電極の電圧がMOSトランジスタを介して順次後段に伝達される。前記駆動信号は図13に示される前記リングオシレータ48から出力されるクロック信号CLKに同期して生成される。チャージポンプ回路47によって生成される負の昇圧電圧 $V_{PPMNS9}$ を規定の電圧に維持するために、比較器435が設けられている。比較器435に

は、昇圧電圧VPPMNS9を抵抗回路436で抵抗分圧した電圧VPCMP9が供給され、接地電位Vssと比較される。電圧VPCMP9は昇圧電圧VPPMNS9が規定の電圧(VPPMNS9=-9.5V)になったとき接地電圧Vssよりも低くされる。比較器435はその状態を検出することによって検出信号437をローレベルからハイレベルに反転する。検出信号437は論理和ゲート438によりクロック信号CLKと論理和が採られて、前記クロックドライバ434に供給される。したがって、昇圧電圧VPPMNS9が規定の電圧に達すると、論理和ゲート438の出力がハイレベルに固定され、その間、チャージポンプ回路47による昇圧動作が一時的に停止される。尚、439は昇圧動作の完了によってカットオフされるスイッチ回路である。

【0054】前記チャージポンプ回路47から出力される負の昇圧電圧VPPMNS9は前記モニタ端子VssMONから観測できるようになっている。440で示される回路はテストモードにおいてオン動作されるスイッチ回路である。前記正の昇圧電圧VPP6、VPP9は図15に例示されるようにモニタ端子VCPMONから選択的に観測することができる。441、442は正の昇圧電圧VPP6、VPP9をモニタ端子VCPMONに伝達するスイッチ回路である。MONEはハイレベルによってモニタ端子VppMONによる昇圧電圧のモニタを指示するイネーブル信号、MONSはVPP6またはVPP9の何れをモニタするかを指示する信号であり、前記スイッチ回路441、442はテストモードにおける信号MONE、MONSの状態にしたがってオン動作が排他的に行われ、これによって所望の昇圧電圧VPP6又はVPP9を観測できる。

【0055】図13において、OSEで示されるものはリングオシレータ48に対する発振動作の開始指示信号である。VPE1で示される信号は、クロックドライバ421及びチャージポンプ回路46に対する昇圧動作の開始を指示する信号である。VPE2で示されるものは、クロックドライバ420及びチャージポンプ回路45に対する昇圧動作の開始を指示する信号である。図14においてVPE3で示される信号は、クロックドライバ434及びチャージポンプ回路47に対する昇圧動作の開始を指示する信号である。

【0056】前記3種類のクロックドライバ420、421及び434はその動作電源が共通のクランプ電源VfixBとされ、また、一つのリングオシレータ48をクロック源として利用する。このとき、図13に例示されるように、チャージポンプ回路46のクロックドライバ421には遅延回路444を介してクロック信号CLKが供給される。チャージポンプ回路45のクロックドライバ420には直列2段の遅延回路444、445を介してクロック信号CLKが供給される。一方、図14に例示されるようにチャージポンプ回路47のクロック

ドライバ434には遅延回路介せずクロック信号CLKが供給される。したがって、図18に例示されるようにリングオシレータ48から出力されるクロック信号CLKは順次位相がずらされて、-9.5V昇圧用クロック信号、+6.5V用クロック信号及び+9.5V用クロック信号としてクロックドライバ434、421、420に供給される。クロックドライバ434、421、420で形成されるチャージポンプ回路47、46、45の駆動信号は前記夫々位相がずれたクロック信号に同期される。すなわち、クロックドライバ434、421、420は前記クロック信号の変化に同期してトランジスタがスイッチ動作され、回路に流れる電流はそのスイッチ動作に同期して変化される。したがって、クロックドライバ434、421、420に供給されるクロック信号の位相がずれているから、クロックドライバ434、421、420全体で生ずる瞬間的な電流変化は小さくされ、昇圧用クランプ電源回路402のような電源回路の負担を小さくすることができる。このことは、昇圧動作の安定化、更には書き込み及び消去動作の安定化に寄与する。

【0057】《チャージポンプ回路の基板バイアス電圧変更》図19には前記負電圧昇圧用のチャージポンプ回路47及びクロックドライバ434の一例が示される。図19にその一部のみ示されたチャージポンプ回路47においてNPで示されるものは昇圧ノードである。隣接する昇圧ノードの間には電荷転送用のpチャンネル型MOSトランジスタQ10が配置されている。また、各昇圧ノードNPにはチャージポンプ用の容量素子C1の一方の電極が結合されている。前記MOSトランジスタQ10のゲートには別の容量素子C2の一方の電極が結合されている。MOSトランジスタQ10のゲートとその前段の昇圧ノードNPとの間にはpチャンネル型のトランスファMOSトランジスタQ11、Q12が並列配置され、MOSトランジスタQ11のゲートは昇圧ノードNPに、MOSトランジスタQ12のゲートはMOSトランジスタQ10のゲートに結合されている。MOSトランジスタQ13、Q14は昇圧ノードNPを初期化するためのトランジスタである。容量素子C1の容量値はC2の容量値よりも大きくされている。このように、チャージポンプ回路47は、前記MOSトランジスタQ10～Q13と容量素子C1、C2を一組とする単位回路が複数個直列接続されて構成されている。

【0058】クロックドライバ434は、クロック信号CLKを順次遅延させて位相の異なる3相のクロック信号φa～φcを生成し、その3相のクロック信号φa～φcに基づいて4本の駆動信号DS1～DS4を出力する。図20には図19に示されたクロックドライバ434の論理構成によって生成されるクロック信号φa～φc及び駆動信号DS1～DS4の波形が示される。

【0059】前記駆動信号DS1、DS2は前記容量素

子C1の他方の電極に交互に供給され、前記駆動信号DS3、DS4は前記容量素子C2の他方の電極に交互に供給される。例えばDS4のハイレベル(t1)によってMOSトランジスタQ10がオフされ、DS2のハイレベル(t1)によって昇圧ノードのレベルが持ち上げられた状態において、その前段の昇圧ノードNPがDS1のローレベル(t2)によって低下されると、トランジスタQ11を介してその隣のMOSトランジスタQ10のゲートもレベル低下され、その直後にDS3がローレベル(t3)に変化されることによって当該昇圧ノードNPのレベルが更に低下される。低下されたレベルはMOSトランジスタQ10を介して次段の昇圧ノードNPに移される。このようなチャージポンプ動作によって電圧VPPMNS9は徐々に負電圧に昇圧される。

【0060】尚、図19に示されるノアゲート450は図14で説明したオアゲート438の機能を代替する。

【0061】前記駆動信号D1~D4は接地電位Vssとクランプ電圧VfixBとの間で変化される。昇圧動作の開始時点においてチャージポンプ回路47のMOSトランジスタQ10、Q11、Q12のゲートにはクランプ電圧VfixBが印加される。昇圧動作が進むに従って当該ゲート電圧は低下される。したがって、昇圧動作の開始時点において、それらMOSトランジスタQ10、Q11、Q12に共通の基板バイアス電圧は少なくともクランプ電圧VfixBにされなければ、当該トランジスタのpn接合部分が不所望に順方向バイアス状態にされて誤動作を生ずる虞がある。

【0062】この例では、前記MOSトランジスタQ10、Q11、Q12はそれらに共通のウェル領域に形成されている。それらMOSトランジスタQ10、Q11、Q12に共通の基板バイアス電圧(ウェルバイアス電圧)は、昇圧動作の開始時点でクランプ電圧VfixBにされ、途中で接地電圧Vssに切り換える。

【0063】図21にはチャージポンプ回路の前記基板バイアス電圧を切り換えるための構成が示されている。図21において460で示されるものは基板バイアス電圧をクランプ電圧VfixB又は接地電圧Vssに切り換えるスイッチ手段である。このスイッチ手段460のスイッチ状態は、特に制限されないが、セット・リセット型のフリップフロップ(SR-FF)461の出力端子Qの状態によって決定される。このフリップフロップ461のリセット端子Rには昇圧イネーブル信号VPE3の反転信号が供給され、昇圧動作が行われない状態においてリセット状態にされる。このリセット状態においてスイッチ手段460はクランプ電圧VfixBを基板バイアス電圧462として選択する。前記フリップフロップ461のセット端子Sは比較器463の出力信号464を受ける。この比較器463は、前記抵抗回路436の分圧点ND1の電位が接地電位Vss以下であるかを監視する。分圧点ND1は昇圧電圧VPPMNS9が

接地電位Vssよりも低い所定の電圧になったとき、接地電位Vssにされる。したがって、昇圧電圧Vssが接地電位Vssよりも低い所定の電圧になったとき、フリップフロップ461はセット状態にされ、これによってスイッチ手段460は基板バイアス電圧462として接地電圧Vssを選択する。尚、図14において前記スイッチ手段460はクランプ電圧VfixBと接地電圧Vssを動作電源とするインバータによって構成されている。

10 【0064】負電圧昇圧の途中で基板バイアス電圧462をクランプ電圧VfixBよりもレベルの低い接地電圧Vssに切り換えると、所謂基板バイアス効果によってMOSトランジスタQ10、Q11、Q12のしきい値電圧が小さくなり、これによってチャージポンプを行うMOSトランジスタQ10、Q11、Q12を介して電荷が移動され易くなる。したがって、動作電源(VfixB=2.5V)に対して目的とする昇圧電圧(VPPMNS9=-9.5V)のレベル差が最も大きい負電圧昇圧動作の効率を向上させることができ、規定の負電圧を得るまでの時間を短縮することができる。

20 【0065】例えば図22には負電圧昇圧動作における昇圧電圧VPPMNS9遷移状態が示される。同図において(a)は前記基板バイアス電圧を切り換えずにクランプ電圧VfixBに固定したときの昇圧電圧VPPMNS9の遷移状態を示す。(b)は基板バイアス電圧を途中で切り換えたときの遷移状態を示す。(a)に比べて(b)の場合には負電圧昇圧動作効率が向上され、規定の負昇圧電圧を得るまでの時間が短縮されている。

30 【0066】前記基板バイアス電圧が一旦接地電位Vssに切り換えられると、その後で比較器463の出力が反転されてもフリップフロップ461はセット状態を維持する。すなわち、フリップフロップ461は、基板バイアス電圧の切換え後に昇圧電圧VPPMNS9が上下に振れても基板バイアス電圧を接地電位Vssに維持するヒステリシス特性を持つということが出来る。このようなヒステリシス特性は、SRフリップフロップ461に代えて、比較器463にヒステリシスコンパレータを用いても実現できる。

40 【0067】図22に示されるように、チャージポンプによる昇圧途上の昇圧電圧は、チャージポンプ用のMOSトランジスタQ10、Q11、Q12のスイッチ動作に同期して上下に振れる。前記フリップフロップ461に代表されるヒステリシス特性を有する回路の出力信号によってチャージポンプ回路47の基板バイアス電圧の切換えを行うことにより、負昇圧電圧のリプル成分の影響で一旦変更した基板バイアス電圧が元の基板バイアスへ再び変更される様な基板バイアスの不所望な振動を防止することができる。

50 【0068】《電源回路のソフトウェアトリミング》図12及び図16に示される前記定電圧発生回路401の

帰還抵抗回路FBR1、図14に示される抵抗回路436は、トリミング可能な抵抗回路（トリミング抵抗回路）とされる。その構成は、図16で説明したように、多数のスイッチ410の中から一つのスイッチをオン動作させて、出力ノードとして採用する分圧点を決定する、所謂ラダー抵抗回路のような回路である。帰還抵抗回路FBR1においては、スイッチ410で選択された出力ノードにおける抵抗分圧比に応じて帰還抵抗値が決定される。同様に、抵抗回路436においては、スイッチ410で選択されたノード（ND1）における抵抗分圧比に応じた電圧が比較器463に与えられる。前記帰還抵抗回路FBR1をトリミング可能にするのは、プロセスばらつきに対し電源回路40の大元の電圧Vrefaを所要のレベルに合わせて、クランプ電圧VfixA、VfixBを望ましい電圧にするという意義を有する。また、負昇圧回路側の抵抗回路436をトリミング可能にするのは、最も昇圧幅の大きな負昇圧電圧VPPMNS9に関する昇圧レベル制御とウェルバイアス電圧切換えポイントを特に調整可能にして、負昇圧動作を最適化する意義を有する。尚、正昇圧回路側の抵抗回路428、429に対してもトリミング可能にしてもよい。

【0069】前記抵抗回路（トリミング抵抗回路とも称する）FBR1、436の出力ノードにおける抵抗分圧比を決定するためのスイッチ410の選択信号は図23に例示されるようにセレクタ470によって生成される。図23の例に従えば、セレクタ470はトリミング情報をデコードし、1本のスイッチ選択信号を選択レベルにする。セレクタ470はトリミング抵抗回路FBR1とトリミング抵抗回路436に個別化されており、図4に示されるトリミング制御部42に含まれている。

【0070】抵抗回路FBR1のトリミング情報は基準電圧トリミングレジスタTRMR1から抵抗回路FBR1のセレクタ470に供給され、抵抗回路436のトリミング情報は昇圧電圧トリミングレジスタTRMR2から抵抗回路436のセレクタ470に供給される。図25に例示されるように、基準電圧トリミングレジスタTRMR1に設定されるトリミング情報（基準電圧トリミング情報）はVR0～VR4、TEVRとされる。昇圧電圧トリミングレジスタTRMR2に設定されるトリミング情報（昇圧電圧トリミング情報）はVM0～VM4、TEVMとされる。

【0071】図23に例示されるようにフラッシュメモリ3のメモリセルアレイ30には前記基準電圧トリミング情報と昇圧電圧トリミング情報を格納するための専用の記憶領域300が割り当てられている。この例に従えば、領域300の情報は、マイクロコンピュータ1のリセット動作に同期して前記レジスタTRMR1、TRMR2に転送される。この転送制御は、特に制限されないが、図24に示されるように、ハードウェアによって自動的に行われる。即ち、リセット信号RSTがアサート

されると、フラッシュメモリ3の制御部43は前記領域300のデータをデータバス17に読み出すために、アドレスバッファ32、センスアンプ36、出力バッファ37などを制御して、自動的に前記領域300のデータを外部に読み出させる。一方、前記レジスタTRMR1、TRMR2はリセット信号RSTのアサートに同期してデータバス17からデータを入力可能に制御される。これによって、領域300のデータがレジスタTRMR1、TRMR2に自動的に転送される。

10 【0072】前記基準電圧トリミング情報と昇圧電圧トリミング情報は、プロセスばらつきなどを吸収するためにデバイステスト時に決定される。図24に基づいて説明したデータ転送はマイクロコンピュータ1にテストモードが設定される場合にも行われる。デバイステストの初期の段階では、ウェーハ完成状態においてフラッシュメモリ3が書き込み状態（領域300のトリミング情報は全ビット論理値“0”の状態）であるから、レジスタTRMR1、TRMR2のトリミング情報は全ビット論理値“0”にされている。テストモードにおいて前記レジスタTRMR1、TRMR2はCPU2によってリード・ライト可能にされる。デバイステスト時には、前記  
20 モニタ端子VppMON、VssMONから正及び負の昇圧電圧をモニタして、それが規定の電圧になるように基準電圧トリミング情報及び昇圧電圧トリミング情報を決定する。このように決定された基準電圧トリミング情報及び昇圧電圧トリミング情報は、所定のテストモード下でCPU2により前記フラッシュメモリ3の所定領域300に格納される。その後、マイクロコンピュータ1がリセットされる毎に、前記最適に決定された基準電圧トリミング情報及び昇圧電圧トリミング情報にしたがって電源回路40が制御される。前記所定領域300は通常動作モード（もしくはユーザモード）ではアクセスが禁止される。所定のテストモードを再度設定すれば、前記領域300にアクセスして基準電圧トリミング情報及び昇圧電圧トリミング情報を再設定することも可能である。半  
30 導体メーカによるデバイステストはウェーハ段階のテストのほかに出荷時のテストもある。各テスト段階で基準電圧トリミング情報及び昇圧電圧トリミング情報を設定することも可能である。出荷段階のテストを経て最後に基準電圧トリミング情報及び昇圧電圧トリミング情報を前記所定領域300に書き込むことが想定される。

40 【0073】この例に従えば、マイクロコンピュータのウェーハ完成状態においてフラッシュメモリ3は書き込み状態（例えばしきい値電圧の低い論理値“0”の状態）とされる。マイクロコンピュータの出荷時においてフラッシュメモリは消去状態（例えばしきい値電圧の高い論理値“1”の状態）にされる。書き込み状態と消去状態でトリミング状態が両極端になって電源回路の出力電圧に大きな差が出ないようにすることが望ましい。例  
50 えば、出荷段階のテストを経て最後に基準電圧トリミ



グ情報及び昇圧電圧トリミング情報を前記所定領域300に書き込む場合、ウェーハ段階のテストに際して初期的に得られる昇圧電圧と、出荷時のテストに際して初期的に得られる昇圧電圧との間に無視し得ない大きな差がある場合にはテストもしくは検査効率が低下することが考えられる。また、トリミング不要なマイクロコンピュータチップの場合には消去状態のまま出荷できる。

【0074】そのために、前記セクタ470は、図23に例示されるように、トリミング調整情報が全ビット論理値“1”のときのトリミング位置とトリミング調整情報が全ビット論理値“0”のときのトリミング位置とを隣り合うように選択する選択論理を有する。これにより、ウェーハ完成状態においてフラッシュメモリ3が書き込み状態にされたときと、出荷時にフラッシュメモリが消去状態にされたときとの双方において、前記電源回路の出力電圧の相違を最小にすることができる。例えば図23の例に従えば、ウェーハ完成状態においてフラッシュメモリ3が書き込み状態（領域300のトリミング情報は全ビット論理値“0”の状態）のとき、“000”で示されトリミング位置でスイッチが選択され、マイクロコンピュータの出荷時においてフラッシュメモリが消去状態（領域300のトリミング情報は全ビット論理値“1”の状態）のとき、“111”で示されトリミング位置でスイッチが選択される。

【0075】図12から明らかなように、前記トリミング調整情報はフラッシュメモリ3の読み出し電圧にも影響する。即ち、トリミング対象とされる帰還抵抗回路FBR1を含む定電圧回路401が出力するクランプ電圧Vrefaは、読み出し電源を生成するリード用クランプ電源回路403の参照電圧とされる。このとき、フラッシュメモリ3からレジスタTRMR1へのトリミング調整情報の転送は、フラッシュメモリ3に対する読み出し動作の規定アクセス時間よりも長い時間を費やして読み出しアクセスを行なえるとき行うことが、誤動作を防止する上で望ましい。なぜなら、読み出し電圧が多少規定された値より低い場合でも、読み出し時間を長くすれば、正確にメモリアレイからデータを読み出せるからである。この点においてマイクロコンピュータ1は、トリミング調整情報の初期的な転送をリセット動作に同期して行うようになっている。したがって、トリミング動作の確定までの内部電圧の変動をリセット中に確定でき、リセット動作後には読み出し動作を安定させることができる。前記トリミング調整情報がフラッシュメモリ3の書き込み及び消去電圧にのみ影響する場合には、トリミング調整情報の転送は、リセット期間中、又はリセット解除後の最初のベクタフェッチ（命令フェッチ）前に行えばよい。

【0076】《フラッシュメモリに対する書き換えシーケンス》前記フラッシュメモリ3の書き換え制御レジスタFLMCR1及び消去ブロック指定レジスタEBR1

の詳細な一例は図25に示されている。消去ブロック指定レジスタEBR1のビットEB0～EB7は消去ブロック指定データである。

【0077】書き換え制御レジスタFLMCR1はP、E、PV、EV、PSU、ESU、SWE、FWEの各制御ビットを有し、それらの真値は特に制限されないが、論理値“1”とされる。

【0078】書き換えイネーブルビットSWEは前記電源回路40による昇圧動作の準備状態を指示する。例えば、書き換えイネーブルビットSWEが論理値“1”にされると、図13に示される制御信号OSEがアサートされ、これによってリングオシレータ48が発振動作を開始し、クロック信号CLKを出力する。さらに、昇圧用クランプ電源VfixBが活性化する。

【0079】書き込みセットアップビットPSUは前記電源回路40に書き込み用の昇圧動作の開始を指示する。この例に従えば、書き込みセットアップビットPSUが論理値“1”にされると、図13に示される制御信号VPE1、VPE2、VPE3がアサートされ、クロックドライバ420、421、434とチャージポンプ回路45、46、47の動作が開始され、電圧VPP6、VPP9、VPPMNS9は+6.5V、+9.5V、-9.5Vへの昇圧動作が開始される。実質的に昇圧動作が行われるためにはリングオシレータ48からのクロック信号CLKの供給が前提である。

【0080】書き込みイネーブルビットPは、昇圧電圧VPP6、VPP9、VPPMNS9を用いた書き込み動作の開始を指示する。

【0081】消去セットアップビットESUは前記電源回路40に消去用の昇圧動作の開始を指示する。この例に従えば、消去セットアップビットESUが論理値“1”にされると、図13に示される制御信号VPE2と図14に示される制御信号VPE3がアサートされ、クロックドライバ420、434とチャージポンプ回路45、47の動作が開始され、電圧VPP9、VPPMNS9は+9.5V、-9.5Vへの昇圧動作が開始される。実質的に昇圧動作が行われるためにはリングオシレータ48からのクロック信号CLKの供給が前提である。

【0082】消去イネーブルビットEは、昇圧電圧VPP9、VPPMNS9を用いた消去動作の開始を指示する。

【0083】昇圧手段で規定の昇圧電圧を得るには少なからず時間を要し、その時間はプロセスばらつきの影響を受ける。書き込み及び消去動作は昇圧電圧が規定電圧に達してから開始されなければならない。このとき、昇圧動作の開始から書き込みを開始するまでの時間は、ビットPSUを論理値“1”に設定してからビットPを論理値“1”に設定するまでの時間によって決定することができる。同様に、昇圧動作の開始から消去を開始する



までの時間は、ビットESUを論理値“1”に設定してからビットEを論理値“1”に設定するまでの時間によって決定することができる。それらビットの設定は、CPU2によるソフトウェアの実行で実現する。これにより、消去や書き込み動作が指示されてから実際に消去や書き込みを開始するタイミングを管理するタイマなどのハードウェアを削減することができる。また、回路特性に応じてそのような時間設定を任意に決定できる。

【0084】また、書き換えイネーブルビットSWEが真値であることを条件に、前記消去セットアップビットESUと書き込みセットアップビットPSUによる昇圧動作の開始が実質的に受け付け可能になるから、書き込み又は消去動作は前記書き換えイネーブルビットSWEが真値であることを条件に実行可能にされる。したがって、CPU2の暴走などによってフラッシュメモリ3が不所望に書き換えられる事態の発生を阻止するのに役立つ。

【0085】前記書き換え制御レジスタFLMCR1のプロテクトビットFWEは外部端子Pfw eの状態に応じた値が設定される。FWEは読み出し専用ビットとされる。このプロテクトビットFWEはそれが真値例えば論理値“1”であることを条件に、前記昇圧イネーブルビットSWEの論理値“1”への設定を可能にするインターロックを行う。すなわち、昇圧イネーブルビットSWEの初期化信号のひとつとしてプロテクトビットFWEを用いる。FWE=1のときのみ昇圧イネーブルビットSWEのセット・クリアが可能とされ、FWE=0では昇圧イネーブルビットは初期状態となる。例えば、データバスからの対応信号線と前記プロテクトビットFWEとの論理積を採る図示を省略する論理積ゲートを設け、昇圧イネーブルビットSWEビットはその論理積ゲートの出力とすることができる。これによってインターロックを実現できる。プロテクトビットFWEによるインターロックを追加することにより、SWEとFWEによる書き換えプロテクトを二重にすることができ、フラッシュメモリ3に対する不所望な書き換え阻止の信頼性を更の向上させることができる。

【0086】図26及び図27にはCPU2による消去動作の制御フローチャートの一例が示される。CPU2はレジスタFLMCR1のSWEビットを論理値“1”に設定する(S1)。この設定が可能にされるためには、外部端子Pfw eに論理値“1”の信号が印加されてプロテクトビットFWEが論理値“1”にされていることが必要である。これによってリングオシレータが発振開始される。そして適宜のレジスタにn=1を代入し(S2)、レジスタEBR1に消去ブロックを設定する(S3)。次にレジスタFLMCR1のESUビットの論理値“1”を設定する(S4)。これによってクロックドライバ420、434とチャージポンプ回路45、47による昇圧動作が開始される。一定時間経過後、

FLMCR1のEビットを論理値“1”にセットすると、消去動作が開始される(S5)。消去動作の終了後、FLMCR1のEビットを論理値“0”にクリアすると、消去動作が停止される(S6)。そして、FLMCR1のESUビット2を論理値“0”にクリアして昇圧動作を停止させる(S7)この後、FLMCR1のEVビットを論理値“1”にセットすることにより(S8)、前記消去動作に対する消去ベリファイが行われることになる。消去ベリファイ動作では、ベリファイアドレスへのダミーライト(S9)とベリファイデータのリード(S10)を行った後、リードしたベリファイデータが全ビット論理値“1”であるかの判定を行う(S11)。全ビット論理値“1”であれば、ラストアドレスに到達するまでアドレスインクリメントを行い(S12, S13)、アドレスインクリメント毎に前記処理を繰り返す。S11でリードしたデータが論理値“1”でない場合には、消去動作が不十分であるから、EVビットをクリアし(S14)、消去の繰り返し回数が上限(N)に達していない場合には(S15のNG)、再度S4に戻って消去状態を進める。S12においてラストアドレスまで処理が進行した場合には、消去ベリファイは正常完了とされる。S15において、消去回数が上限に達した場合には消去ベリファイは異常終了とされる。

【0087】図28及び図29にはCPU2による書き込み動作の制御フローチャートの一例が示される。CPU2はレジスタFLMCR1のSWEビットを論理値“1”に設定する(T1)。この設定が可能にされるためには、外部端子Pfw eに論理値“1”の信号が印加されてプロテクトビットFWEが論理値“1”にされていることが必要である。これによってリングオシレータが発振開始される。そして適宜のレジスタにn=1を代入し(T2)、適宜のフラグflagをクリア(=0)する(T3)。そして、例えば32バイトの書き込みデータをフラッシュメモリ3に連続ライトする(T4)。ライトデータはフラッシュメモリ3の書き込み回路に含まれるデータレジスタに保持される。次にレジスタFLMCR1のPSUビットの論理値“1”を設定する(T5)。これによってクロックドライバ420、421、434、とチャージポンプ回路45、46、47による昇圧動作が開始される。一定時間経過後、FLMCR1のPビットを論理値“1”にセットすると、書き込み動作が開始される(T6)。書き込み動作の終了後、FLMCR1のPビットを論理値“0”にクリアすると、書き込み動作が停止される(T7)。そして、FLMCR1のPSUビット2を論理値“0”にクリアして昇圧動作を停止させる(T8)。

【0088】この後、FLMCR1のPVビットを論理値“1”にセットすることにより(T9)、前記書き込み動作に対する書き込みベリファイが行われることになる。書き込みベリファイ動作では、ベリファイアドレス

へのダミーライト (T10) とベリファイデータのリード (T11) を行った後、リードしたベリファイデータと書き込みの元データに基づいて再書き込みデータを演算し、演算された再書き込みデータが全ビット論理値 “1” かの判定を行う (T12)。再書き込みデータの演算は図30に示されるようにして行う。再書き込みデータが全ビット “1” であれば再書き込みデータをRAMに転送し (T13)、32バイトのデータのベリファイが完了するまでアドレスインクリメントを行い (T14, T15)、アドレスインクリメント毎に前記処理を繰り返す。ステップT12で再書き込みデータが全ビット “1” でない場合には、フラグflagを “1” にセットして (T16)、前記ステップT14へ進む。32バイトのベリファイ動作を完了すると、PVビットをクリアし (S17)、フラグflagを判定する (T18)。flag=0であれば32バイトの書き込みは正常であるから、SWEビットをクリアして (T19)、書き込み動作を終了する。ステップT18においてflag=1であれば書き込み回数が既定の上限値Nに達していないかを判定し (T20)、既定値に達しているときはSWEビットをクリアして (T21)、異常終了とされる。書き込み動作の繰り返し回数が上限 (N) に達していない場合には、カウンタnをインクリメントして (T22)、前記ステップT3に戻る。

【0089】図31には書き込みに際して必要な高電圧の印加が内部回路に与える負担を少なくするためワード線駆動電圧切換え方式の一例が示される。概略的には、ワード線を一旦接地電位Vssにしてから動作電圧を切り換える。即ち、PSUビットによって書き込み用昇圧回路の昇圧動作が指示されたとき、図31の (B) で示される期間に全てのワード線が接地電位Vssに強制される。次に、図31の (C) で示される期間に、ワードドライバWDRVの電源VPPX2, VSSXW, VSSXSが夫々接地電位Vssに切り換えられる。次にアドレス制御の欄に記載されるように、ワード線選択の極性が反転される。例えばアドレス信号に基づいてワード線選択信号を形成するXアドレスデコーダの選択レベルをハイレベル (読み出し動作時) からローレベル (書き込み動作時) に論理反転させる。その後で、図31の (E) に示されるように、ワードドライバの電源を書き込み用の電源に切り換える。書き込みを終了するときも同様に、全ワード線を接地電位Vssに強制し、ドライバの電源VPPX1, VSSXW, VSSXSを接地電位Vssに切換え、ワード線選択論理の極性を変更し、電源の切換えを行う。上記電源の切換えは電源回路40に含まれる電源供給スイッチ群で行い、その制御は、電源制御部41の書き込みシーケンサが行う。

【0090】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲にお

いて種々変更可能であることは言うまでもない。

【0091】例えば、外部電源は2.7~5.5Vに限定されない。昇圧電圧は6.5V, 9.5V, -9.5Vに限定されず変更可能である。同様にクランプ電圧も2.5Vに限定されない。更に、書き込み及び消去の電圧印加態様も上記に限定されない。また、昇圧回路やクランプ回路の構成は適宜変更できる。また、電流供給能力が大きければリード系と昇圧系で分けたクランプ電源を共通化することも可能である。マイクロコンピュータの内蔵モジュールは適宜変更できる。また、フラッシュメモリは、NOR、ANDなどの適宜の回路形式を採用することが可能である。フラッシュメモリはプログラムメモリを代替する用途に限定されず、もっぱらデータ格納用途に用いるものであってもよい。

【0092】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である機器組み込み制御用とのマイクロコンピュータに適用した場合について説明したが、本発明はそれに限定されず、汎用用途のマイクロコンピュータ、その他の専用コントローラLSIなど半導体集積回路に広く適用することができる。

【0093】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0094】すなわち、電圧クランプ手段は電源電圧依存性の小さな電圧を形成し、しかも、その電圧レベルは、許容範囲内で外部から供給される単一電源電圧よりも低い電圧にクランプされるから、このクランプ電圧で動作される昇圧手段が生成する昇圧電圧、即ち、書き込み及び消去電圧は、外部電源電圧に依存しない。したがって、低電圧動作を含む比較的広い外部電源電圧範囲で内蔵不揮発性メモリの消去及び書き込みを可能にする。しかもそれは単一の外部電源電圧で達成できるから、不揮発性メモリを内蔵した半導体集積回路の使い勝手を向上させることができる。

【0095】昇圧電圧が所定レベルに達したとき、チャージポンプを行うMOSトランジスタに共通の基板バイアス電圧を変更することにより、昇圧動作効率を向上させることができる。

【0096】前記基板バイアス電圧の切換え後に昇圧電圧が上下に振れても基板バイアス電圧を切換え後の電圧に維持するヒステリシス特性を持たせることにより、チャージポンプによる昇圧途上の昇圧電圧がチャージポンプ用のMOSトランジスタのスイッチ動作に同期して上下に振れるときのリプル成分の影響で基板バイアス電圧が振動するのを防止することができる。

【0097】各チャージポンプ回路の動作の位相をずらすことにより、同一電源で複数個のチャージポンプ回路を動作させるときに電源の瞬時的電圧落ち込みを小さく

することができる。

【0098】前記不揮発性メモリの特定領域からトリミング調整情報の転送を受けるレジスタ手段の値によって電圧クランプ手段の出力電圧をトリミング可能にすることにより、ソフトウェアでトリミングを自在に行うことができ、チップ毎にプロセスばらつきの影響を吸収することも可能になる。

【0099】トリミング調整情報のレジスタ手段への転送を半導体集積回路のリセット動作に同期して行うことにより、トリミング動作の確定までの内部電圧の変動をリセット中に確定でき、信頼性を向上させることができる。

【0100】テストモードにおいて前記中央処理装置が前記レジスタ手段をアクセス可能にすれば、テストモードにおいてトリミング情報をた易く決定できる。

【0101】半導体集積回路のウェーハ完成状態が書き込み状態（例えばしきい値電圧の低い論理値“0”の状態）で、半導体集積回路の出荷が消去状態（例えばしきい値電圧の高い論理値“1”の状態）とされる場合、トリミング調整情報が全ビット論理値“1”のときのトリミング位置とトリミング調整情報が全ビット論理値“0”のときのトリミング位置とを隣り合うように選択する選択論理を採用することにより、書き込み状態と消去状態でトリミング状態が両極端になって電圧クランプ手段の出力電圧に大きな差が出ないようにできる。

【0102】昇圧手段で規定の昇圧電圧を得た後に書き込みや消去を開始するための管理を書き込みセットアップビットや消去セットアップビットを用いて中央処理装置によるソフトウェアで実現することにより、タイマなどのハードウェアを削減することができる。

【0103】コントロールレジスタに、前記昇圧手段による昇圧動作の準備状態を指示する書き換えイネーブルビットを設け、この書き換えイネーブルビットが真値であることを条件に、前記消去セットアップビットと書き込みセットアップビットによる指示を受け付け可能にすることにより、書き込み又は消去動作は前記書き換えイネーブルビットが真値であることを条件に行うことができるので、中央処理装置の暴走などによって不揮発性メモリが不所望に書き換えられる事態の発生を阻止するのに役立つ。

【0104】コントロールレジスタは外部端子の状態に依じた値が設定されるプロテクトビットを追加し、前記プロテクトビットはそれが真値であることを条件に前記昇圧イネーブルビットの真値への設定を可能にするインターロックを行うようにすると、不揮発性メモリに対する不所望な書き換え阻止の信頼性を更の向上させることができる。

【0105】ワード線などを一旦接地電位にしてから印加電圧を切り換えるようにすれば、消去や書き込みに際して必要な高電圧の印加が内部回路に与える負担を少な

くすることができる。

【図面の簡単な説明】

【図1】電源回路の主要部を概略的に示すブロック図である。

【図2】図1の比較例を示すブロック図である。

【図3】本発明の一例に係るマイクロコンピュータのブロック図である。

【図4】マイクロコンピュータに内蔵されるフラッシュメモリの全体的なブロック図である。

10 【図5】メモリセルアレイの構成例を示す回路図である。

【図6】消去動作の電圧印加状態の一例を示す回路図である。

【図7】書き込み動作の電圧印加状態の一例を示す回路図である。

【図8】フラッシュメモリの各部における動作電源を示すブロック図である。

【図9】図8に示される各種動作電源の意味を示す説明図である。

20 【図10】図8に示される各種動作電源の電圧と動作との関係を示す説明図である。

【図11】図8の各種動作電源が採り得る電圧を整理して示した説明図である。

【図12】電圧クランプ手段の一例回路図である。

【図13】第1及び第2の正昇圧回路の一例回路図である。

【図14】負正昇圧回路の一例回路図である。

【図15】正の昇圧電圧を選択的にモニタ可能にする回路の説明図である。

30 【図16】第1の定電圧発生回路のトリミング抵抗回路の説明図である。

【図17】第1の定電圧発生回路の詳細な一例回路図である。

【図18】昇圧動作クロック信号の波形説明図である。

【図19】負電圧昇圧用のチャージポンプ回路及びクロックドライバの一例回路図である。

【図20】図19に示されたクロックドライバの論理構成によって生成されるクロック信号及び駆動信号の波形説明図である。

40 【図21】チャージポンプ回路の前記基板バイアス電圧を切り換えるための構成を概略的に示すブロック図である。

【図22】負電圧昇圧動作における昇圧電圧の遷移状態を示す説明図である。

【図23】トリミング抵抗回路におけるトリミング方式の概念図である。

【図24】マイクロコンピュータのリセット動作に同期してトリミング調整情報をフラッシュメモリからコントロールレジスタに転送する方式の説明図である。

50 【図25】コントロールレジスタの一例フォーマット図

である。

【図26】CPUによる消去動作制御の一部を示すフローチャートである。

【図27】CPUによる消去動作制御の残りを示すフローチャートである。

【図28】CPUによる書き込み動作制御の一部を示すフローチャートである。

【図29】CPUによる書き込み動作制御の残りを示すフローチャートである。

【図30】再書き込みデータの演算手法の説明図である

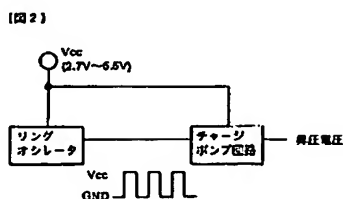
【図31】書き込みに際して必要な高電圧の印加が内部回路に与える負担を少なくするためワード線駆動電圧切換え処理の一例を示すタイミング図である。

【符号の説明】

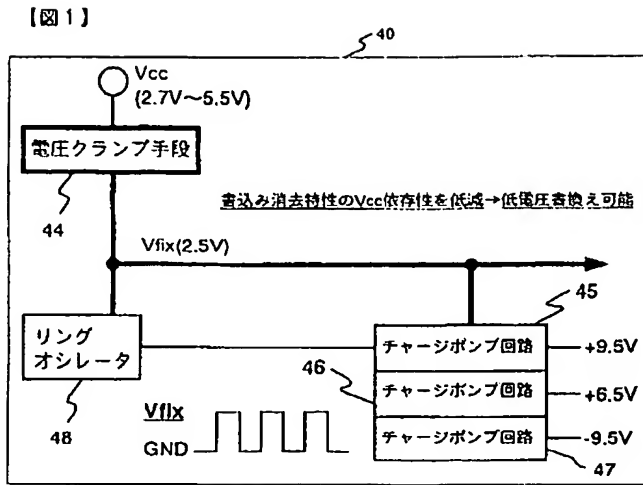
- 1 マイクロコンピュータ
- 2 中央処理装置
- 3 フラッシュメモリ
- 4 フラッシュメモリ用のコントロールレジスタ
- FLMCR1 書き換え制御レジスタ
- TRMR1 基準電圧トリミングレジスタ
- TRMR2 昇圧電圧トリミングレジスタ
- Vcc 外部単一電源電圧
- Vss 接地電圧
- Pvcc Vcc外部端子
- Pvss Vss外部端子
- VppMON、VssMON モニタ端子
- Pfwe 書き込みプロテクト端子
- RES リセット端子
- 30 メモリセルアレイ
- 31 Xデコーダ
- 31Y Yデコーダ
- 33 ワードドライバ
- 40 電源回路
- 41 電源制御部
- 42 トリミング制御部
- 44 電圧クランプ手段
- 45、46 正昇圧用チャージポンプ回路
- 47 負昇圧用チャージポンプ回路

- 48 リングオシレータ
- 300 主ビット線
- 301 副ビット線
- 302 不揮発性メモリセル
- 304 ソース線
- 305 ワード線
- 400 基準電圧発生回路
- 401 第1の定電圧回路
- 402 第2の定電圧回路
- 403 第3の定電圧回路
- FBR1 帰還抵抗回路(トリミング抵抗回路)
- FBR2、FBR3 帰還抵抗回路
- Vref 基準電圧
- Vrefa、VfixA、VfixB クランプ電圧
- CLK クロック信号
- 420、421、434 クロックドライバ
- 436 トリミング抵抗回路
- 444、445 遅延回路
- VPP6、VPP9 正の昇圧電圧
- 460 基板バイアス電圧の切換え手段
- VPPMNS9 負の昇圧電圧
- 461 SRフリップフロップ
- 464 比較器
- NP 昇圧ノード
- Q10、Q11、Q12 負昇圧用pチャンネル型MOSトランジスタ
- C1、C2 負昇圧用容量素子
- DS1~DS4 駆動信号
- 470 セレクタ
- 330 フラッシュメモリにおけるトリミング情報格納領域
- FWE プロテクトビット
- SWE 書き換えイネーブルビット
- ESU 消去セットアップビット
- PSU 書き込みセットアップビット
- E 消去イネーブルビット
- P 書き込みイネーブルビット

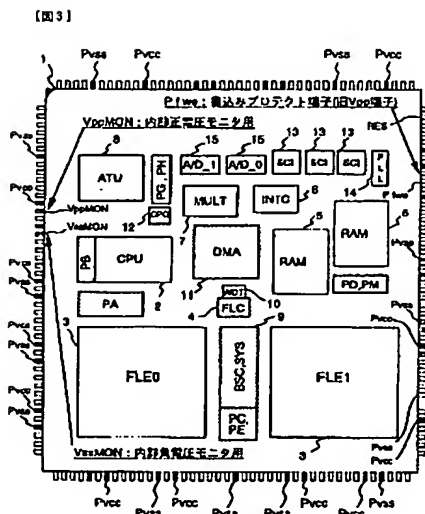
【図2】



【図1】



【図3】

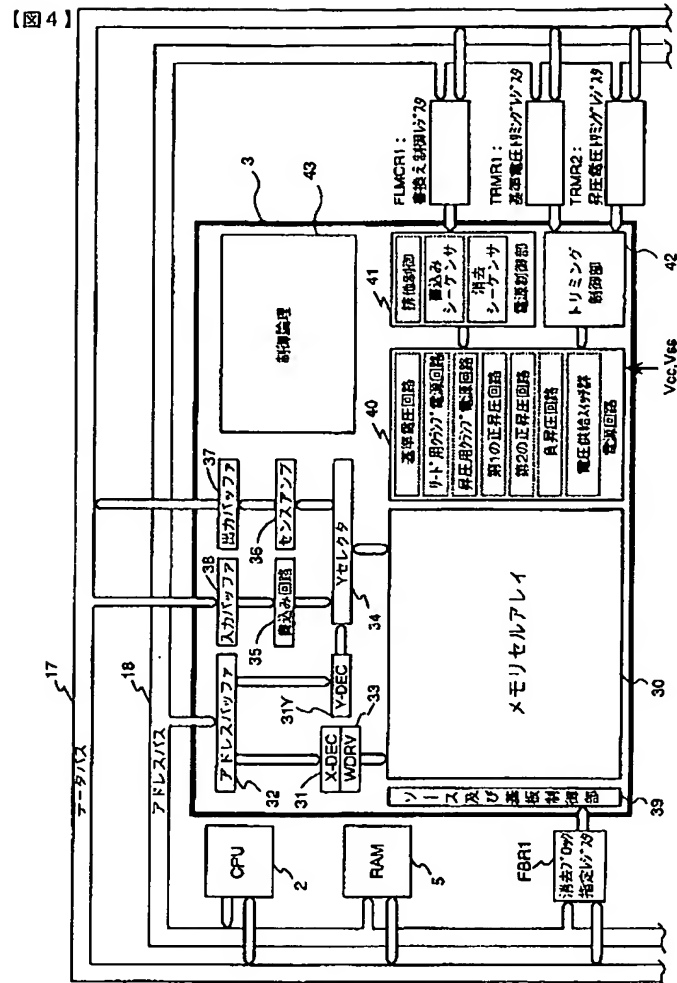


【図9】

【図9】

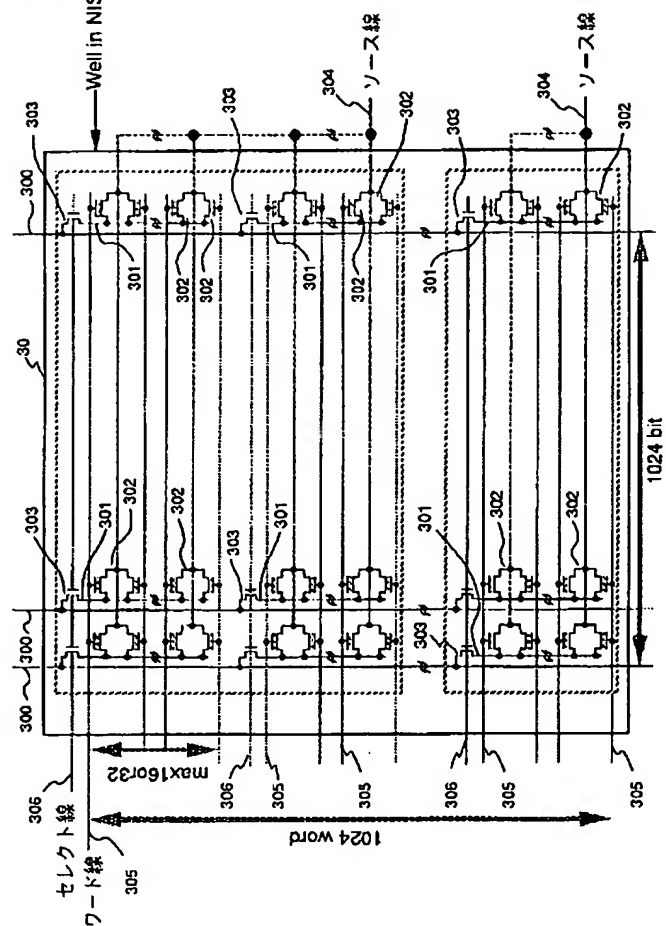
記号	名称	備考
○	VCC	Vcc電源
⊖	GND	GND電源
●	VPPX1	ワード線ドライバ(正電源1)
⊙	VPPX2	ワード線ドライバ(正電源2)
⊖	VSSXS	ワード線ドライバ(負電源(ソース))
▽	VSSXW	ワード線ドライバ(負電源(WELL))
⊙	VPPY	Y-SW & Z-SW電源
①	VCCI	レベルシフト電源
⊗	VCCSA	センスアンプ電源
⊕	VPPW	歪み回路電源
▽	VSSE	Z-SW & 基板 & ソース制御負電源

【図4】

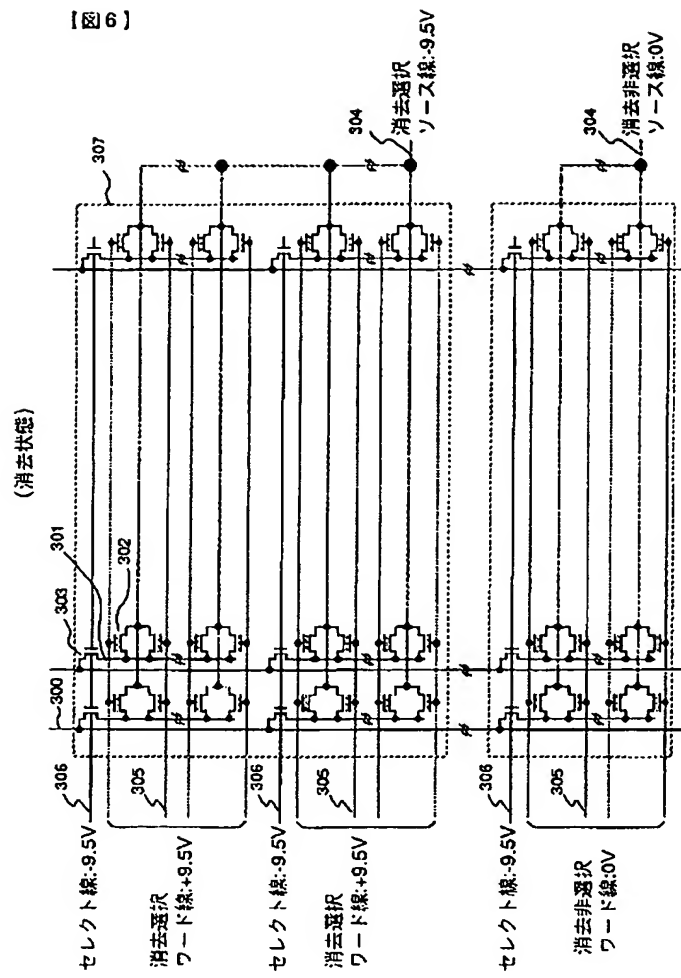




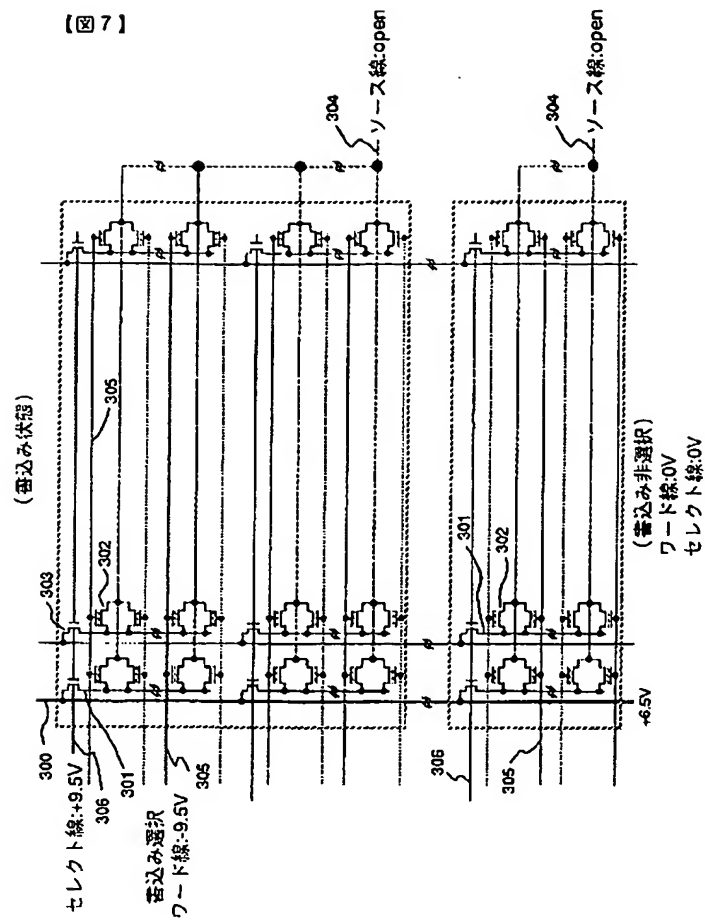
【图5】OS



[図6]



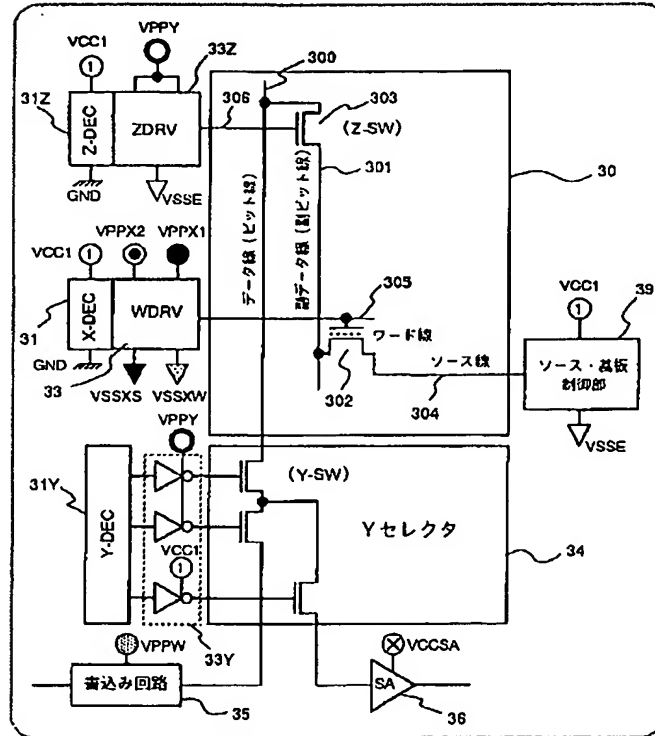
【図7】



【図8】

【図8】

電源供給ブロック図



【図25】

【図25】

レジスタ仕様

書き込み/読み出し制御用設定ビット

	A2	A3	A4	b47	b46	b45	b44	b43	b42	b41	b40
FLMCR1	0	0	0	FWZ	SWE	ESU	PSU	EV	PV	E	P
EBR1	0	1	0	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
TRMR1	1	1	0	TEVR	VR4	VR3	VR2	VR1	VR0	—	—
TRMH2	1	1	1	TEVM	VM4	VM3	VM2	VM1	VM0	—	—

トリミング

【図10】

【図10】

電源供給一覧

状態	X-DEC				Y-DEC&Z-DEC	LA1277	電源回路	Z-SW&Y-Z基板	
	high	low							
書き込み	VPPX1	VPPX2	VSSXS	VSSXW	VPPY	VCC1	VCCSA	high	low
	GND	VfixA(Vst)	-9.5V(負電圧)	-9.5V(負電圧)	9.5V(正電圧)	VfixA(Nst)	VfixA(Nst)	VPPW	VSSSE
書き込み 終了	Vst → GND	VfixA(Nst)	GND → -9.5V(負電圧)	GND → -9.5V(負電圧)	Vcc → 9.5V(正電圧)	VfixA(Nst)	VfixA(Nst)	Vcc → 9.5V(正電圧)	GND
消去	9.5V(正電圧)	9.5V(正電圧)	GND	GND	VfixA(Nst)	VfixA(Nst)	VfixA(Nst)	Vcc	GND
消去 終了	Vcc	Vcc	GND	GND	VfixA(Nst)	VfixA(Nst)	VfixA(Nst)	Vcc	-9.5V(負電圧)
書き込み 終了	VfixA(Nst)	VfixA(Nst)	GND	GND	VfixA(Nst)	VfixA(Nst)	VfixA(Nst)	Vcc	-9.5V(負電圧)
消去 終了	9.5V(正電圧)	9.5V(正電圧)	GND	GND	VfixA(Nst)	VfixA(Nst)	VfixA(Nst)	Vcc	GND
リード	VfixA(Nread)	VfixA(Nread)	GND	GND	Vcc	Vcc	Vcc	Vcc	GND
	VfixA(Nread)	VfixA(Nread)	GND	GND	Vcc	Vcc	Vcc	Vcc	GND

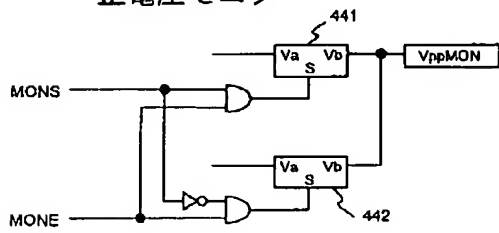
【図11】

【図11】

	VPPX1	VPPX2	VSSXS	VSSXW	VPPY	VCC1	VCCSA	VPPW	VSSE
9.5V(正圧)	●	●			●				
6.5V(正圧)	●	●				●	●	●	
Vcc	●	●			●	●	●	●	
VtPA	●	●			●	●	●	●	
GND	●		●	●					●
-9.5V(負圧)			●	●					●

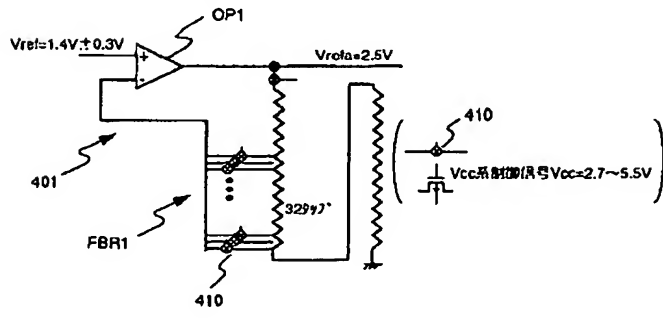
【図15】

【図15】 正電圧モニタ



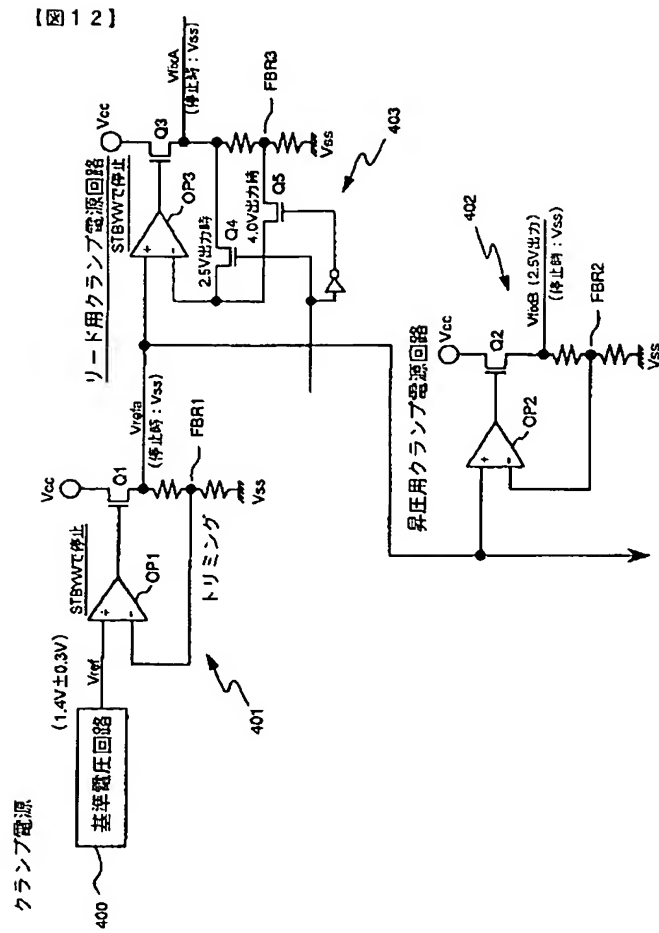
【図16】

【図16】 基準電圧トリミング



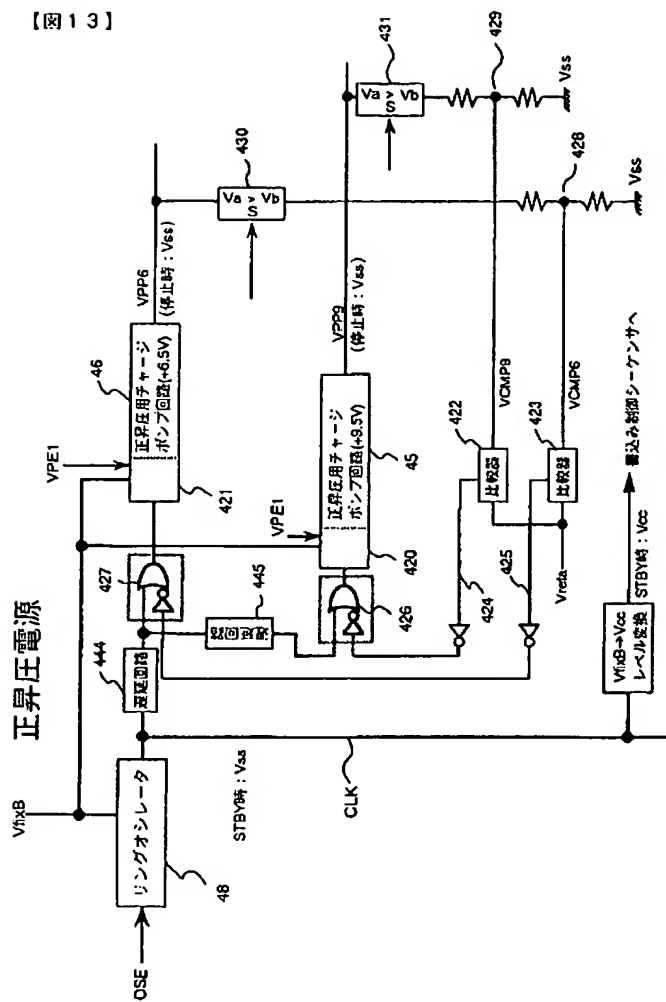


【図12】



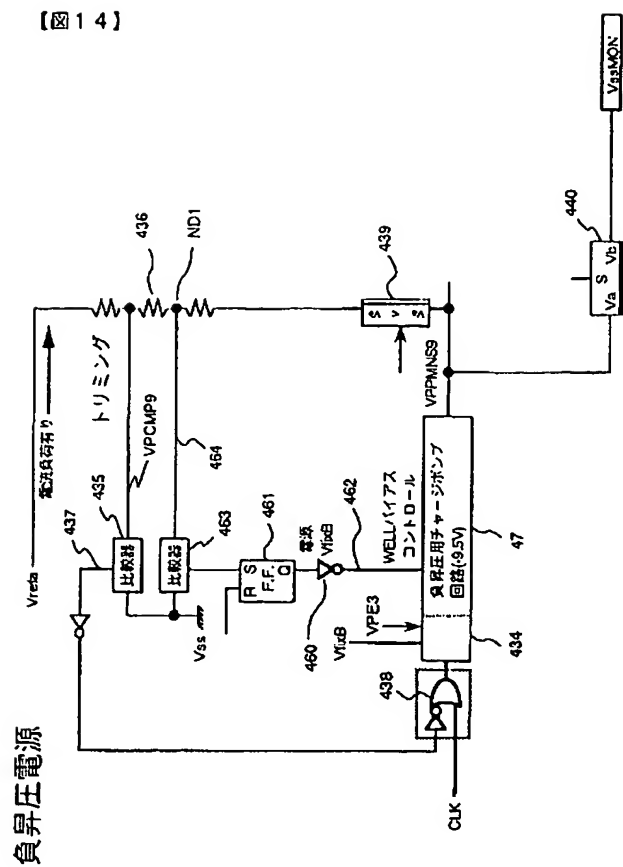
[図13]

[図13]



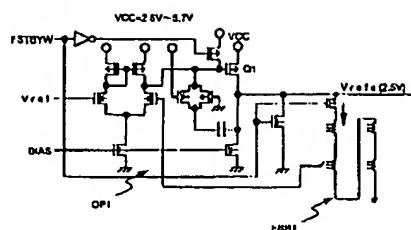
【图 14】

【图 14】



【図 17】

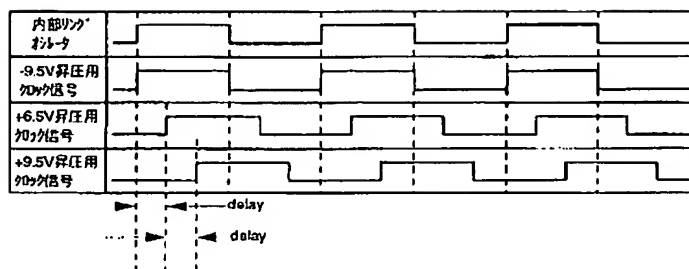
( 5017 )



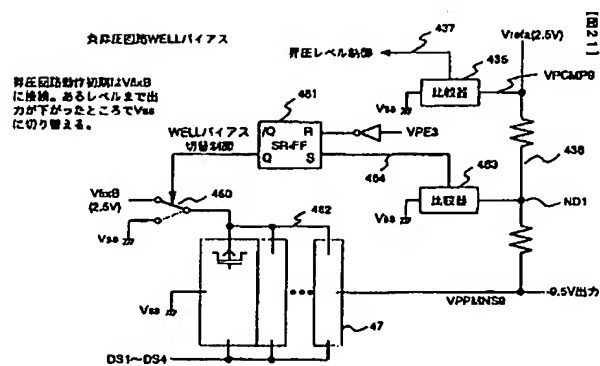
【图 18】

【圖 18】

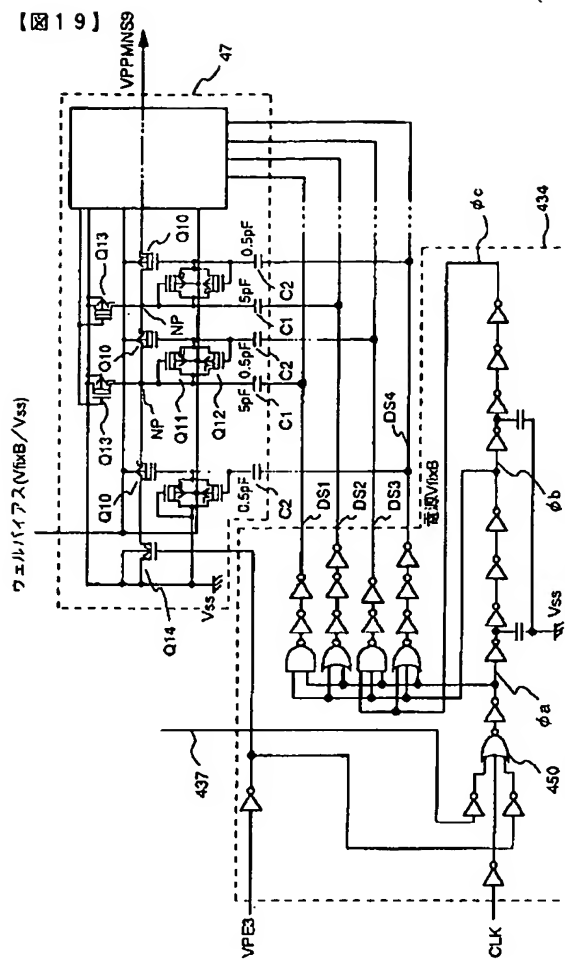
昇圧動作クロックタイミング



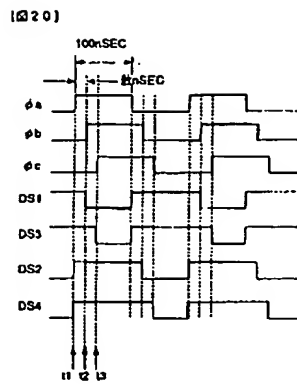
【图 2 1】



【図19】



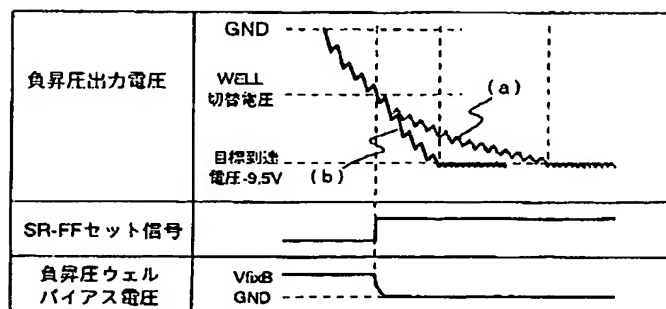
(図20)



[図22]

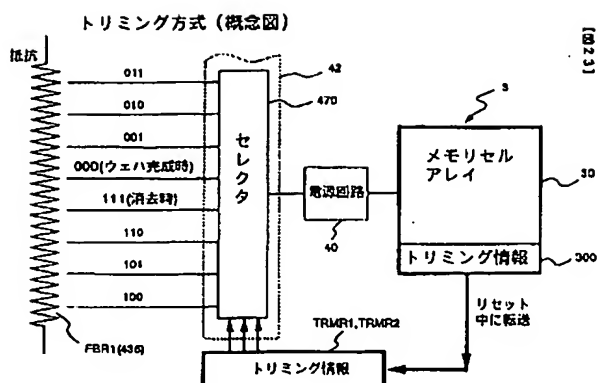
【図22】

負昇圧WELL切替方法





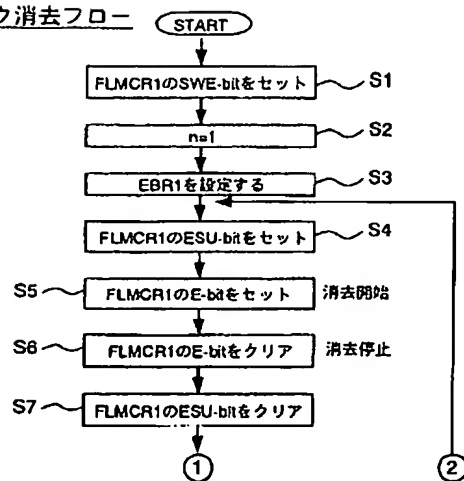
【図23】



【図26】

【図26】

1ブロック消去フロー

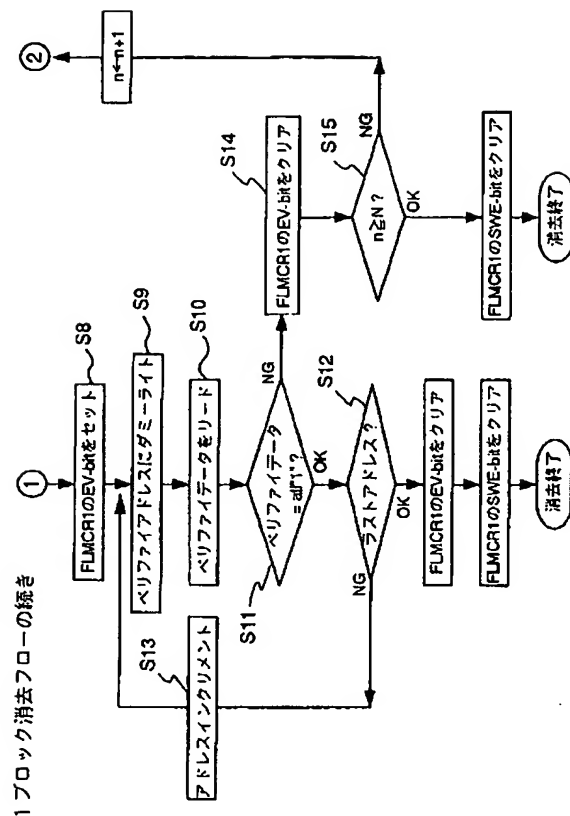


【圖 24】



【図27】

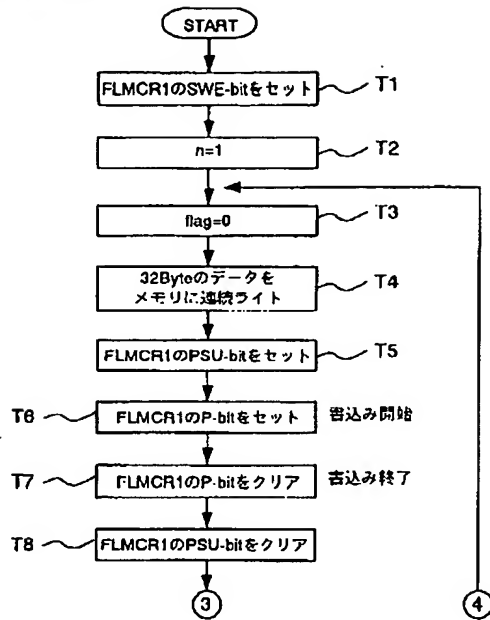
【図27】



【図28】

【図28】

## 書き込みフロー



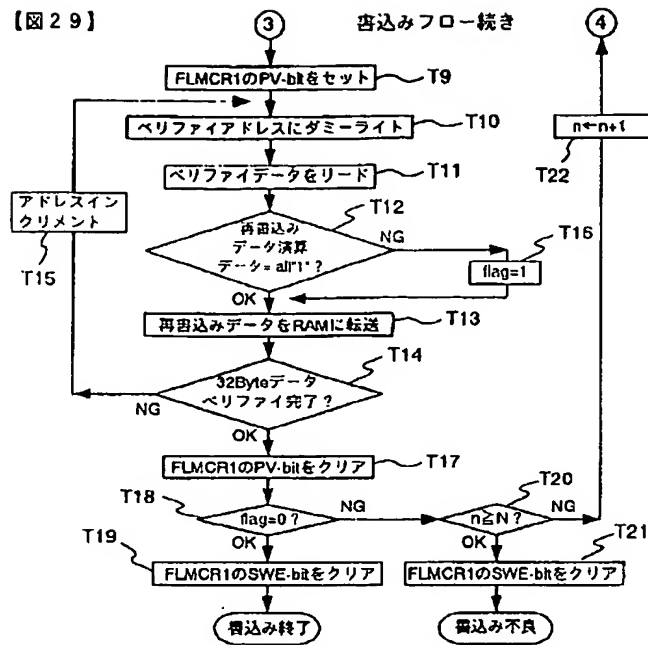
【図30】

【図30】

(\*) メモリの消去状態は"1"。データ"0"に対して書き込みが行われる

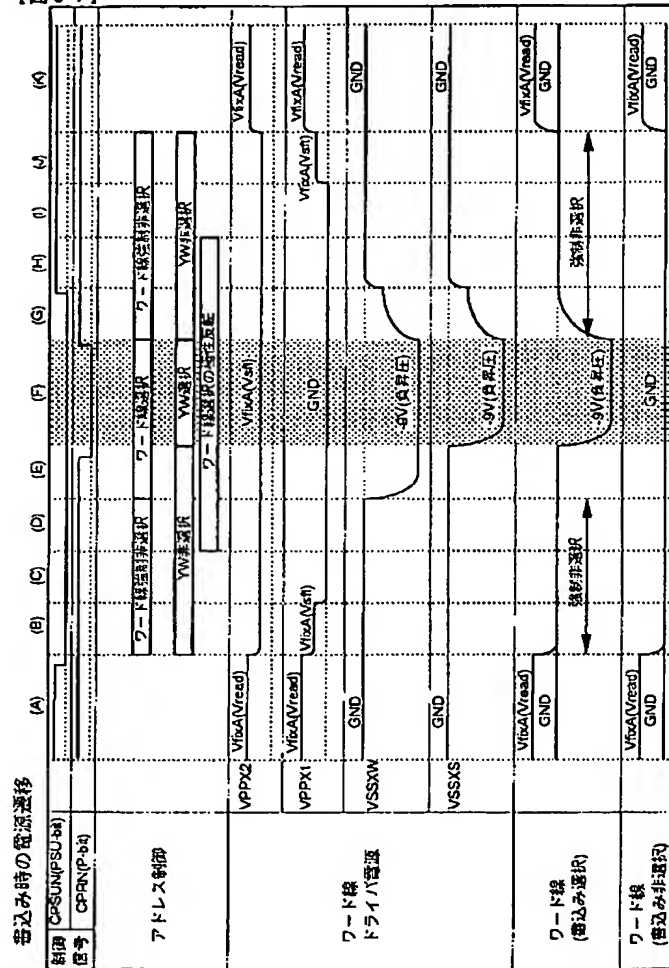
元データ(D)	Verityデータ(V)	再書き込みデータ(X)	コメント
0	0	1	書き込み完了したビットは再書き込みしない
0	1	0	書き込み未完了、再書き込み
1	0	1	
1	1	1	消去状態のまま、なにもしない

【図29】



【図31】

【図31】



フロントページの続き

(72)発明者 矢田 直樹  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 松原 清  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内